

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 1 月 22 日 (22.01.2004)

PCT

(10) 国際公開番号  
WO 2004/008594 A1

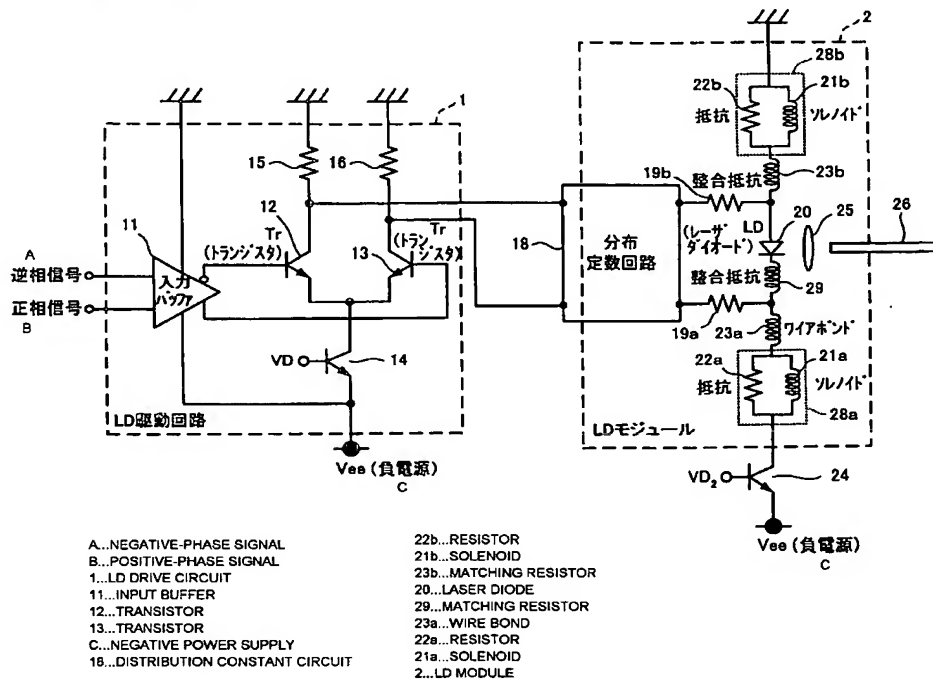
- (51) 国際特許分類<sup>7</sup>: H01S 5/042, H04B 10/04  
(21) 国際出願番号: PCT/JP2003/008859  
(22) 国際出願日: 2003 年 7 月 11 日 (11.07.2003)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2002-204782 2002 年 7 月 12 日 (12.07.2002) JP  
(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 有賀 博

- (ARUGA, Hiroshi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 金子 進一 (KANEKO, Shinichi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 酒井 清秀 (SAKAI, Kiyohide) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).  
(74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒100-0013 東京都千代田区霞が関三丁目2番6号 東京倶楽部ビルディング Tokyo (JP).  
(81) 指定国 (国内): CA, US.  
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

[続葉有]

(54) Title: OPTICAL SEMICONDUCTOR DEVICE

(54) 発明の名称: 光半導体装置



(57) Abstract: The device comprising a first conduction line connected to one end of an optical semiconductor element (20) for supplying an electrical signal to the optical semiconductor element (20); a second conduction line connected to the other end of the optical semiconductor element (20) for supplying an electrical signal to the optical semiconductor element (20); a first inductance element (21a) connected to the one end of the optical semiconductor element (20) for blocking an electric signal of high frequency; and a second inductance element (21b) connected to the other end of the optical semiconductor element (20) for blocking an electric signal of high frequency, wherein the first and second conduction lines constitute a differential line.

[続葉有]

500,325

WO 2004/008594 A1



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 光半導体素子(20)の一端に接続され、この光半導体素子(20)に電気信号を供給する第1の導体線路と、光半導体素子(20)の他端に接続され、この光半導体素子(20)に電気信号を供給する第2の導体線路と、光半導体素子(20)の一端に接続され、高周波の電気信号を遮断する第1のインダクタンス素子(21a)と、光半導体素子(20)の他端に接続され、高周波の電気信号を遮断する第2のインダクタンス素子(21b)とを備え、第1、第2の導体線路が差動線路を成す。

## 明 細 書

## 光半導体装置

## 5 技術分野

この発明は、電気信号に基づいて変調された光信号を出力する光半導体素子を備えた光半導体装置に関するものである。

## 背景技術

10 第18図は、従来の单相給電方式による光半導体装置の一例を示す回路図である。このような回路に類似した回路として、例えば特開平9-200150号公報や、特開平8-172401号公報などに記載されたものがある。

第18図に示す光半導体装置は、半導体レーザダイオード素子310（以下LDと称する）を駆動するLD駆動回路200が、LDモジュール300と接続さ  
15 れる。LD310の発光出力は、光ファイバ316から出力されるようになって  
いる。差動増幅器を構成する差動トランジスタ202および203は、トランジ  
スタ204によって定電流駆動され、相補形式のデータ入力信号（正相信号／逆  
相信号）が与えられて、正相信号を出力する。差動トランジスタ202のコレク  
タは接地される。差動トランジスタ203のコレクタはダンピング抵抗309の  
20 一端に接続され、ダンピング抵抗309の他端がLD310の一方の電極（カソ  
ード）に接続される。また、LD310のカソードは、高周波に対するインピー  
ダンスが大きいチップインダクタなどのインダクタンス素子311の一端に接続  
される。インダクタンス素子311の他端は、LD310にバイアス電流を供給  
する定電流源314に接続される。インダクタンス素子311はLDモジュール  
25 300のバイアス回路を構成する。

第19図は、第18図のLD駆動回路200に示すような回路から出力される電気信号波形のアイパターンの一例を示す図である。なお、この例で示すLD駆

動回路では、回路の低消費電力化を図るため、シリコン・ゲルマニウムの半導体を用いている。

このLD駆動回路は、第18図に示すように負電圧で駆動される場合、光信号パルスの立ち上がり部に対応する電気信号パルスの立ち上がり部は下に向かう部分であり、逆に立ち下がり部は上に向かう部分である。第19図に示すように、立ち下がり時間 $T_f$ が立ち上がり時間 $T_r$ に比較して略40%長くなっている。

第20図は、第19図に示すような信号波形の電気信号を出力するLD駆動回路を用いて、第18図のLDモジュールから出力される光信号波形（光出力波形）のアイパターンの一例を示す図である。これは様々なパターンの光信号波形を光-電気変換した後で、帯域フィルタを通し、その電気信号を重ね書きしたものであり、上の部分がマーク側（発光）であり、横軸は時間を示している。また、同図には、アイマスク領域（信号の劣化を判定するための指標でありアイパターンが入ってはいけない領域）も併せて示している。

このアイマスク領域で示されるアイマスク規定は、信号波形の性能を見る指標である。信号波形（アイパターン）とアイマスク領域との隙間（アイマスクマージン）が大きいほど、光受信器で信号を受けたときに良好な受信感度特性が得られる。換言すれば、より微弱なパワーの光信号でもエラーが生じにくくなり、良好な伝送特性が得られることになる。

つまり、光半導体装置から出力された光信号を受信し、電気信号に変換して信号の再生を行う際に、低い誤り率の信号を得るためには、アイパターンがアイマスク領域に入らないようにすることが必要である。

しかしながら、例えば、10Gb/s以上の変調信号の伝送を行う際に、第20図に示すようにLDモジュールの光出力波形が顕著に劣化する。同図に示す波形から分かるように、中央部の左上付近（図中W1に示す立ち上がりの部分）ではアイマスク規定に対する余裕があるが、中央部の右上付近（図中W2に示す立ち上がりの部分）ではアイマスクマージンが極めて小さくなり、アイマスク規定に対する余裕が全くなくなっている。したがって、例えば周囲温度が上昇すれば

光半導体の緩和振動周波数が下がり、信号波形が中央部の右上のアイマスクを満足できないという問題が発生する。

このように、第18図に示す従来の光半導体装置では、第20図に示すように、アイマスク規定に対するアイマスクマージンが低下している。

5      このアイマスクマージンの低下の原因は、低周波域から高周波域に渡って広帯域に光変調するパルス強度変調方式の場合において、上述したような電気信号パルスの立下がり時間が遅く、LDモジュール300に入力される電気信号の非対称性により、アイパターンの余裕度であるアイマスクマージンが小さくなるので、結果として、出力される光信号の伝送特性が劣化することに一因がある。

10      また、第18図に示すLD駆動回路200とLDモジュール300の間の信号伝送路Pを、マイクロストリップ線路のような分布定数回路で構成し、この分布定数回路からLDモジュール300を見たときの、周波数応答特性のグラフを第21図に示す。同図から、遮断周波数（ピークから3dB下がる場所）が約8.8GHzであり、10GHz付近に急峻な落ち込みがあることが分かる。この急峻な落ち込みが存在するのは、つぎの理由によるものである。

10GHz付近のような高周波数域では、第14図の例で示すインダクタンス素子311の両端をセラミック基板に固定し、かつワイヤボンドによる配線を可能にするため複数箇所の導体から成るパッド部を設けている。このパッド部は容量として機能するため、これらの複数の容量と、LD310とインダクタンス素子311および整合抵抗309の間に設けられたパッドとを接続する複数のワイヤボンドと、バイアス回路を構成するインダクタンス素子311のリアクタンス成分とで共振を起こし、これによって非常に急峻な減衰特性となるからである。

20      このように、従来技術に示す光半導体装置では、光信号の出力特性がLD駆動回路の立ち下がり特性の悪さに引きずられ、光信号の伝送特性が劣化するという課題があった。

25      また、LDモジュールの通過特性が、10GHz付近で急激に減衰するという問題点があった。特に、10GHz付近の急峻な落ち込みは光半導体装置の光出

力波形を大きく劣化させる原因にもなり、この問題点を解決する意味は大きい。

従って、この発明は、LD駆動回路の出力波形の立ち上がり時間と立ち下がり時間との非対称性に起因する光出力波形の劣化や、光半導体素子モジュールの通過特性の急峻な落ち込みに伴う光出力波形の劣化などの光出力波形の劣化を改善し、光出力波形の品質を向上させた光半導体装置を提供することを目的としている。

#### 発明の開示

この発明にかかる光半導体装置は、光半導体素子と、前記光半導体素子の有する一対の電極の一方に接続され、この光半導体素子に電気信号を供給する第1の導体線路と、前記光半導体素子の有する一対の電極の他方に接続され、この光半導体素子に電気信号を供給する第2の導体線路と、前記光半導体素子の一方の電極と前記第1の導体線路とに接続された第1のインダクタンス素子と、前記光半導体素子の他方の電極と前記第2の導体線路とに接続された第2のインダクタンス素子とを備え、前記第1、第2の導体線路は、一対の差動線路を成すことを特徴とする。

この発明によれば、第1の導体線路と第2の導体線路とが一対の差動線路を構成し、光半導体素子の有する一対の電極の一方に接続された第1の導体線路が光半導体素子に電気信号を供給し、光半導体素子の有する一対の電極の他方に接続された第2の導体線路が光半導体素子に電気信号を供給し、光半導体素子の一方の電極と第1の導体線路とに接続された第1のインダクタンス素子が高周波の電気信号を遮断し、光半導体素子の他方の電極と第2の導体線路とに接続された第2のインダクタンス素子が高周波の電気信号を遮断することができる。

つぎの発明にかかる光半導体装置は、光半導体素子と、前記光半導体素子の有する一対の電極の一方に電気信号を供給する第1の差動入力端子と、前記光半導体素子の有する一対の電極の他方に、前記第1の差動入力端子と逆相の電気信号を供給する第2の差動入力端子と、前記光半導体素子の一方の電極と前記第1の

導体線路とに接続され、高周波の前記電気信号を遮断する第1のインダクタンス素子と、前記光半導体素子の他方の電極と前記第2の導体線路とに接続され、高周波の前記電気信号を遮断する第2のインダクタンス素子とを備えることを特徴とする。

- 5      この発明によれば、光半導体素子の有する一対の電極の一方に接続された第1の差動入力端子が光半導体素子に電気信号を供給し、光半導体素子の有する一対の電極の他方に接続された第2の差動入力端子が光半導体素子に電気信号を供給し、光半導体素子の一方の電極に接続された第1のインダクタンス素子が高周波の電気信号を遮断し、光半導体素子の他方の電極に接続された第2のインダクタ
- 10      ンス素子が高周波の電気信号を遮断することができる。

- つぎの発明にかかる光半導体装置は、光半導体素子と、前記光半導体素子の有する一対の電極の一方および他方に、夫々一方の端子および他方の端子が接続され、この光半導体素子に電気信号を供給する一対の差動増幅器と、前記光半導体素子の一方の電極に接続され、高周波の前記電気信号を遮断する第1のインダ
- 15      タンス素子と、前記光半導体素子の他方の電極に接続され、高周波の前記電気信号を遮断する第2のインダクタンス素子とを備えることを特徴とする。

- この発明によれば、光半導体素子の有する一対の電極の一方および他方に、夫々一方の端子および他方の端子が接続された一対の差動増幅器が、この光半導体素子に電気信号を供給し、光半導体素子の一方の電極に接続された第1のインダ
- 20      クタンス素子が高周波の電気信号を遮断し、光半導体素子の他方の電極に接続された第2のインダクタンス素子が高周波の電気信号を遮断することができる。

つぎの発明にかかる光半導体装置は、上記の発明において、前記光半導体素子の一方の電極および他方の電極に夫々接続され、前記電気信号をこの光半導体素子に導く一対の整合抵抗をさらに備えることを特徴とする。

- 25      この発明によれば、光半導体素子の一方の電極および他方の電極に夫々接続された一対の抵抗が、高周波におけるインピーダンスを整合し電気信号を光半導体素子に効率良く導くことができる。

つぎの発明にかかる光半導体装置は、上記の発明において、前記第1のインダクタンス素子とこの第1のインダクタンス素子に並列接続された第1の抵抗とを有する第1のバイアス回路と、前記第2のインダクタンス素子とこの第2のインダクタンス素子に並列接続された第2の抵抗とを有する第2のバイアス回路とを備えることを特徴とする。

この発明によれば、第1のインダクタンス素子とこの第1のインダクタンス素子に並列接続された第1の抵抗とを有する第1のバイアス回路と、第2のインダクタンス素子とこの第2のインダクタンス素子に並列接続された第2の抵抗とを有する第2のバイアス回路とが、インダクタンス素子のリアクタンス成分と、ワイヤボンドのインダクタンスと、パッドの容量やインダクタンス素子の寄生容量を原因とする共振を防止して広い周波数帯域にわたって高周波の電気信号を遮断することができる。

つぎの発明にかかる光半導体装置は、上記の発明において、前記第1および第2の導体線路と前記一対の整合抵抗との間に、少なくともデジタル信号の最大繰り返し周波数よりも高い周波数を遮断するフィルタを備えることを特徴とする。

この発明によれば、第1および第2の導体線路と一対の整合抵抗との間に備えられたフィルタが、少なくともデジタル信号の最大繰り返し周波数よりも高い周波数を遮断することができ、不要な周波数帯にある電気入力波形のリングングを除去することができる。

つぎの発明にかかる光半導体装置は、上記の発明において、前記フィルタは、前記第1および第2の導体線路に対して交差する複数の導体が櫛形状に形成された第1および第2の導体フィンガー部を夫々備え、前記第1の導体フィンガー部と前記第2の導体フィンガー部とが交互に配置されていることを特徴とする。

この発明によれば、第1および第2の導体線路に対して交差する複数の導体が櫛形状に形成された第1および第2の導体フィンガー部を有し、この第1の導体フィンガー部と第2の導体フィンガー部とが交互に配置されたフィルタが、少なくともデジタル信号の最大繰り返し周波数よりも高い周波数を遮断することが



でき、不要な周波数帯にある電気入力波形のリングングを除去することができる。

つぎの発明にかかる光半導体装置は、上記の発明において、前記第1および第2の導体線路を収納するパッケージと、前記光半導体素子の出射光を集光するレンズと、光ファイバを保持する光ファイバ保持部材とを備えることを特徴とする。

- 5      この発明によれば、第1および第2の導体線路を収納するパッケージと、光半導体素子の出射光を集光するレンズと、光ファイバを保持する光ファイバ保持部材とを備える半導体光変調装置を構成することができる。

つぎの発明にかかる光半導体装置は、上記の発明において、前記第1および第2のインダクタンス素子が空芯コイルであることを特徴とする。

- 10      この発明によれば、第1および第2の空芯コイルが、高周波の電気信号を広い周波数帯で遮断するためのバイアス回路を小型化することができる。

つぎの発明にかかる光半導体装置は、上記の発明において、前記光半導体素子は、半導体レーザダイオードであることを特徴とする。

- 15      この発明によれば、半導体レーザダイオードの光出力波形の劣化を減少させる半導体光変調装置を構成することができる。

なお、第1、第2のインダクタンス素子は、バイアス電流を供給するものであることを特徴としても良い。

- 20      つぎの発明にかかる光半導体装置は、光半導体素子と、前記光半導体素子の一对の電極に夫々接続され、この光半導体素子に差動信号を供給する第1、第2の導体線路と、前記第1の導体線路と前記光半導体素子の一方の電極とに電氣的に接続される第1の端子と、前記第2の導体線路と前記光半導体素子の他方の電極とに電氣的に接続された第2の端子とを備え、前記第1、第2の端子は夫々、高周波を遮断するバイアス電流が給電されるバイアス回路に接続されることを特徴とする。

- 25      この発明によれば、光半導体素子の一对の電極に夫々接続された第1、第2の導体線路が、この光半導体素子に差動信号を供給し、第1の導体線路と光半導体素子の一方の電極とに電氣的に接続される第1の端子と、第2の導体線路と光半

導体素子の他方の電極とに電氣的に接続された第2の端子とが、夫々高周波を遮断するバイアス回路に接続されることにより、インダクタンス素子のリアクタンス成分と、ワイヤボンドのインダクタンスと、パッドの容量を原因とする共振を防止して広い周波数帯域にわたって高周波の電気信号を遮断することができる。

- 5 つぎの発明にかかる光半導体装置は、光半導体素子の一对の電極の一方に一端が接続され、この光半導体素子に電気信号を供給する第1の導体線路と、前記光半導体素子の一对の電極の他方に一端が接続され、この光半導体素子に電気信号を供給する第2の導体線路と、前記光半導体素子の一方の電極と前記第1の導体線路とに接続される第1のインダクタンス素子と、前記光半導体素子の他方の電極と前記第1の導体線路と並列に接続される第2のインダクタンス素子とを備え、  
10 前記光半導体素子がプッシュ・プル動作により駆動されることを特徴とする。

- この発明によれば、プッシュ・プル動作により駆動される光半導体素子の一对の電極の一方に接続された第1の導体線路が光半導体素子に電気信号を供給し、光半導体素子の一对の電極の他方に接続された第2の導体線路が光半導体素子に電気信号を供給し、光半導体素子の一端に接続された第1のインダクタンス素子が  
15 高周波の電気信号を遮断し、光半導体素子の他端に接続された第2のインダクタンス素子が高周波の電気信号を遮断することができる。

つぎの発明にかかる光半導体装置は、上記の発明において、少なくとも2つのバイアス回路のインピーダンスを非対称にしたことを特徴とする。

- 20 この発明によれば、インピーダンス非対称にした少なくとも2つのバイアス回路によって、周波数応答特性のうねりを改善した半導体光変調装置を構成することができる。

#### 図面の簡単な説明

- 25 第1図は、実施の形態1にかかる光半導体装置の一例を示す回路構成図であり、第2図(a)は、LD駆動回路の一对の差動トランジスタの立ち上がり、立ち下がり特性を模式的に示す説明図であり、第2図(b)は、一对の差動トランジスタ

タの立ち上がり、立ち下がり特性が平均化される原理を示す説明図であり、第3図は、様々なパターンの光信号波形を光-電気変換した後で帯域フィルタを通し、その電気信号を重ね書きした図であり、第4図(a)は、第1図に示すLDモジュールを分布定数回路から見たときの周波数応答特性を示すグラフであり、第4

5 図(b)は、夫々のバイアス回路を異なるインピーダンスにしたときの周波数応答特性を示すグラフであり、第5図は、実施の形態2にかかる光半導体装置の一例を示す回路構成図であり、第6図(a)は、フィルタの上面図であり、第6図(b)は、このフィルタのP方向矢視図であり、第7図は、フィルタを挿入する前後の周波数応答特性を対比したグラフであり、第8図は、第5図に示す光半導体装置の高周波動作を模擬する等価回路図であり、第9図(a)は、第18図に示す従来技術の光半導体装置の高周波動作を模擬する単純化した等価回路図であり、第9図(b)は、この等価回路の周波数応答特性のシミュレーション結果を示すグラフであり、第10図(a)は、第1図に示すこの発明の光半導体装置(差動線路)の高周波動作を模擬する単純化した等価回路図であり、第10図(b)

15 )はこの等価回路の周波数応答特性のシミュレーション結果を示すグラフであり、第11図(a)は、第10図(a)の等価回路においてバイアス回路の構成を詳細に示した回路構成図であり、第11図(b)は、この回路条件に基づく周波数応答特性のシミュレーション結果を示すグラフであり、第11図(c)は、第9図(a)の等価回路においてバイアス回路の構成を詳細に示した回路構成図であり、第11図(d)は、この回路条件に基づく周波数応答特性のシミュレーション結果を示すグラフであり、第12図(a)は、第11図(a)と同一の等価回路を示した回路構成図であり、第12図(b)は、第12図(a)の回路条件に基づくシミュレーション結果を示すグラフであり、第12図(c)は、第11図(a)の等価回路において、ワイヤボンド23a(または23b)のインダクタ

20 ンス $L_4$ を、3nHから1nHに変更したときの周波数応答特性のシミュレーション結果を示すグラフであり、第13図(a)は、第11図(a)と同一の等価回路を示したものであり、第13図(b)は、第13図(a)の回路条件に基づ

くシミュレーション結果を示すグラフであり、第13図(c)は、第11図(a)の等価回路において、インダクタンス素子のインダクタンスL1を変更したときの周波数応答特性のシミュレーション結果を示すグラフであり、第14図は、キャンパッケージおよびレセプタクルから構成されるLDモジュールの外観構成を示す図であり、第15図(a)は、LDモジュールの水平断面図(第14図のxに平行な面)であり、第15図(b)は、垂直断面図(第14図のyに平行な面)であり、第16図は、キャップを外した状態におけるキャンパッケージを示す斜視図であり、第17図(a)は、上蓋を外した状態の上面図であり、第17図(b)は、上蓋を取付けた状態での第17図(a)のII断面図であり、第18図は、従来の単相給電方式による光半導体装置の一例を示す回路図であり、第19図は、第18図のLD駆動回路に示すような回路から出力される電気信号波形のアイパターンの一例を示す図であり、第20図は、第19図に示すような信号波形の電気信号を出力するLD駆動回路を用いて、第18図のLDモジュールから出力される光信号波形(光出力波形)のアイパターンの一例を示す図であり、第21図は、第18図に示すLD駆動回路とLDモジュールの間の信号伝送路Pを、マイクロストリップ線路のような分布定数回路で構成し、この分布定数回路からLDモジュールを見たときの、周波数応答特性を示すグラフである。

発明を実施するための最良の形態

以下に添付図面を参照して、この発明にかかる光半導体装置の好適な実施の形態を詳細に説明する。

実施の形態1.

第1図は、実施の形態1にかかる光半導体装置の一例を示す回路構成図である。同図において、LD駆動回路1は、差動型の入力構成を有する入力バッファ11と、逆相信号および正相信号を出力する差動構成を成す一対の差動トランジスタ12、13、定電流動作をするトランジスタ14、差動トランジスタ12、13のコレクタの負荷であり、インピーダンス整合をとるための抵抗15、16を夫

々備えている。

入力バッファ 11 は、入力される逆相信号と正相信号の波形を整形し、差動トランジスタ 12 および 13 のベースへ入力する調整された逆相信号と正相信号を生成する。

- 5 差動構成をなす一对の差動トランジスタ 12、13 とトランジスタ 14 は、差動増幅器を構成する。差動トランジスタ 12 および 13 の夫々のコレクタ側は、抵抗 15 および 16 の一方側に接続されている。抵抗 15、16 の他方側は接地端子に接続される。差動トランジスタ 12 および 13 の夫々のエミッタは、定電流動作をするトランジスタ 14 に接続されている。差動トランジスタ 12 のベースには入力バッファ 11 の逆相信号出力端子が接続され、差動トランジスタ 13 のベースには入力バッファ 11 の正相信号出力端子が接続されている。トランジスタ 14 のエミッタ側、および入力バッファ 11 の電圧入力端子は、ともに負電源 ( $V_{ee}$ ) に接続されている。

- 15 差動トランジスタ 12、13 のコレクタ側の出力端子は、マイクロストリップ線路やグラウンデッドコプレーナ線路などで構成される分布定数回路 18、整合抵抗 19a、19b を介して LD20 の一对の電極 (アノードと、カソード) に夫々接続されている。

- 20 なお、差動トランジスタ 12、13 は、電界効果型トランジスタ (FET) を用いても良い。この場合、LD20 のアノード、カソードともに、電界効果型トランジスタのドレイン側に夫々接続される。

- LD モジュール 2 側は、分布定数回路 18 と、 $20\ \Omega$  程度のインピーダンス整合用の整合抵抗 19a、19b とを介して、高周波インピーダンスが  $5\ \Omega$  程度の LD20 と接続される。LD20 のアノード側は整合抵抗 19b に電氣的に接続された導体線路に半田などで接合され、LD20 のカソード側はワイヤボン  
25 ド 29 を介して、整合抵抗 19a と電氣的に接続された導体線路に接続される。分布定数回路 18 は、LD 駆動回路 1 の差動型の差動トランジスタ 13、12 の出力端子と、整合抵抗 19a、19b との間を、差動線路やワイヤボンドで接続

して構成される。差動線路は、2つの導体線路を近接して配置し、2つの導体線路に対する入力信号の、一方が正相信号、他方が逆相信号となるようにして信号伝送を行うことにより、2線路間の電氣的結合度を高め、電界の漏洩損失を低減することができる。

- 5      また、例えば、従来の単相駆動方式の場合には、LDを駆動した大電流が接地を經由してLD駆動回路に帰還するので、接地電位が変動するため、近接して設置された微弱電流を検出する光受信系の電子回路に悪影響が出ることがある。これに対し、本実施の形態では、差動線路を用いて、LDをプッシュ・プル動作している
- 10      ので、大電流は差動線路を流れ、接地電位の変動が少なくなり、周辺回路への影響が出にくいという利点がある。

差動線路は、2本の信号伝送線路を近接して配置した差動型のマイクロストリップ線路（マイクロストリップ差動線路）、あるいは差動型のグランデッドコプレーナ線路（グランデッドコプレーナ差動線路）や、2本の導体ピンを近接して配置した差動ピン（あるいはリード）などによって構成される。

- 15      高周波に対するインピーダンスが大きいソレノイド21aと、このソレノイド21aに並列に接続され共振防止のためにQ値を下げる抵抗22aとから第1のバイアス回路28aが構成される。また、高周波に対するインピーダンスが大きいソレノイド21bと、このソレノイド21bに並列に接続され共振防止のためにQ値を下げる抵抗22bとから第2のバイアス回路28bが構成される。ソレ
- 20      ノイド21a、21bには、バイアス電流（直流）を通過させるとともに、LD駆動回路1から出力される変調信号（数百kHz～数十GHzの電気信号）が第1、第2のバイアス回路28a、28bから漏れ出るのを抑圧する、すなわち高周波信号を遮断する空心コイルを用いている。第1のバイアス回路28aのソレノイド21a、および第2のバイアス回路28bのソレノイド21bとも、夫々
- 25      ワイヤボンド23a、23bを介して、夫々の一端側が、LD20のアノードおよびカソードに電氣的に接続された夫々の導体線路と接続される。これによって、バイアス回路28aは、ワイヤボンド23aを介して整合抵抗19aに電氣的に

接続された導体線路と接続されて、ワイヤボンダ29を介してLD20のカソードに接続される。また、バイアス回路28bは、ワイヤボンダ23bを介して整合抵抗19bに電氣的に接続された導体線路と接続されて、LD20のアノードの半田付けされた導体線路(パッド)に接続される。

- 5 LD20のアノード側は、ワイヤボンダ23b、第2のバイアス回路28bの並列回路を介して接地端子に接続されている。LD20のカソード側は、ワイヤボンダ23a、第2のバイアス回路28aの並列回路を介して定電流源24に接続される。定電流源24はトランジスタを用いて構成され、エミッタ側が負電圧源(V<sub>ee</sub>)に接続されている。この負電圧源は、LD駆動回路1のトランジスタ
- 10 14が接続される負電圧源(V<sub>ee</sub>)と同じ電圧としているが、異なる電圧にしても良い。

バイアス回路28a、28bは、ワイヤボンダ23a、23bなどとともに、高周波的には非接地の開放端子の如く作用する。

- このLD20の駆動構成によれば、LD20のアノード、カソードに一对の第
- 15 1、第2のバイアス回路28a、28bを介して直流バイアス電流が供給され、かつ差動型的一对の差動トランジスタ12、13によってLD20のアノード、カソードに高周波の変調電流が差動で入力されている。

- すなわち、LD駆動回路1の差動トランジスタ12がONからOFF(差動トランジスタ13がOFFからON)になると、LD20に変調電流が流れ、LD
- 20 20からのレーザ光出力はOFFからONとなる。また、差動トランジスタ13がONからOFF(差動トランジスタ12がOFFからON)になると、LD20に流れる変調電流が小さくなり、LD20からのレーザ光出力はONからOFFとなる。

- したがって、LD駆動回路1の差動的に構成された差動トランジスタ12、1
- 25 3から出力された変調電気信号は、分布定数回路18などを通じてLD20に伝送され、LD20において変調電気信号が光変調信号に変換される。LD20から発生された光変調信号は、集光レンズ25によって光ファイバ26に集光され、

この光ファイバ26を通じて出力される。

第2図(a)は、LD駆動回路1の一对の差動トランジスタ12、13の立ち上がり、立ち下がり特性を模式的に示す説明図であり、第2図(b)は、一对の差動トランジスタ12、13の立ち上がり、立ち下がり特性が平均化される原理を示す説明図である。

第2図(a)に示すように差動トランジスタ12または13(両者の特性は同等と仮定)の立ち上がり時間を $t_r$ 、立ち下がり時間を $t_f$ とすると、 $t_r$ と $t_f$ との間には、 $t_r < t_f$ の関係がある。このことは上述したとおりである。

また、上述したように、正相信号と逆相信号とが分布定数回路18を経由し、一方は整合抵抗19aを介してLD20のカソードに、他方は整合抵抗19bを介してLD20のアノードに接続されている。これらの接続により、差動トランジスタ12が立ち上がる時は差動トランジスタ13が同時に立ち下がり、一方、差動トランジスタ12が立ち下がる時は差動トランジスタ13が同時に立ち上がるため、LD20から見れば一对の差動トランジスタ12、13からプッシュ・プルで駆動されている。

第18図に示す従来の光半導体装置の回路では、LD駆動回路200是一对のトランジスタが差動で動作を行っているが、LD310から見た場合には、差動トランジスタ203が立ち上がる時にLD310に電流が流れ、差動トランジスタ203が立ち下がる時にLD310の電流が流れなくなるだけである。つまり、LD310(あるいはLD駆動回路200とLD310とを接続する分布定数回路)から見た場合には、プッシュ・プルで駆動されているわけではない。

第1図に示すこの発明の光半導体装置の回路は、このようなプッシュ・プル動作を行うので、分布定数回路18が差動線路となりLD20に対する電流の押込み(push)と吸い出し(pull)を同時に行い、LD20から見れば差動トランジスタ12の立ち上がり時間( $t_r$ )と、差動トランジスタ13の立ち下がり時間( $t_f$ )との平均時間( $(t_r + t_f) / 2$ )で動作していることになる。この結果、第2図(b)に示すように、立ち上がり時間と立ち下がり時間とが平



均化された対称形の立ち上がり特性を示すことになる。

第3図は、様々なパターンの光信号波形を光-電気変換した後で帯域フィルタを通し、その電気信号を重ね書きした図であり、上の部分がマーク側（発光）であり、横軸は時間を示している。第20図に示すアイパターンと比較して、波形の非対称性が改善されるとともにアイマスクマージンにも余裕があり、良好な伝送特性が得られることが分かる。

特に、中央部の右上付近（図中Fに示す立ち下がり部分）で、アイマスク規定に対する余裕ができており、使用温度上昇によるLD20の緩和振動周波数の低下に伴う波形劣化に対して余裕ができる。

また、第19図のように立ち上がり時間や立ち下がり時間が比較的に長いLD駆動回路に対して、その立ち上がり特性を改善するために、LD駆動回路200にピーキング特性を持たせるように調整することによって、信号帯域よりも高周波の15GHz付近の周期を持つ僅かなリングングが発生し、第19図の電気波形に重ね合わされることがある。

このリングングによって、光出力波形の立ち下がり波形を持ち上げることができ、アイパターンの右肩（右下がり部分）がアイマスクに対して余裕を持つようになって、光出力波形の品質を向上させることができる。例えば、10Gb/s デジタル信号（最小パルス）の基本波が5GHzである場合、その3倍の高調波の15GHz位でリングングが発生するようにLD駆動回路200のピーキングを調整することにより、より品質のよい光出力波形が得られる。

なお、特開平11-233876号公報には、差動負荷インピーダンスのバランスをとることによって、ジッタのないデータ伝送を行うレーザモジュールの例が開示されているが、LDから見てプッシュ・プル動作を行っているわけではなく、本願発明とは異なるものである。

また、特開平5-327617号公報は、駆動回路から見たLDの入力インピーダンスを下げることによって立ち下がり時間のみを改善しているのであって、本願発明の原理と全く異なるものである。

第4図(a)は、第1図に示すLDモジュール2を分布定数回路18から見たときの周波数応答特性を示すグラフである。上述したように、第1図に示すLDモジュール2には、LD20のカソード側にワイヤボンド23aを介してソレノイド21aと抵抗22aとの並列回路であるバイアス回路28aが接続され、LD20のアノード側にワイヤボンド23bを介してソレノイド21bと抵抗22bとの並列回路であるバイアス回路28bが接続されている。このため、夫々のバイアス回路28a、28bがセラミック基板などに設けられたパッド部分などによる容量成分を原因として共振を起こすことは、従来技術のLDモジュール300の例と同じである。しかし、分布定数回路18側から等価回路として見ると2つのバイアス回路が直列接続されて見えるため共振の振幅を小さくでき、第21図に示すような10GHz付近での急峻な落ち込みを防止している。なお、第4図(a)に示す例は、抵抗22a、抵抗22bのインピーダンスを、同じインピーダンスとしたときの周波数応答特性を示すグラフである。

また、第4図(b)は、夫々のバイアス回路28a、28bを異なるインピーダンスにしたときの周波数応答特性を示すグラフである。同図に示すように、第4図(a)で見られたようなうねりが改善されているのが比較できる。なお、インダクタンスや抵抗値の具体的な例については、後述の実施の形態3、4で説明する。

特開平5-37083号公報には、バイアス回路と半導体レーザを接続するボンディングワイヤのインダクタンス $L_s$ と、バイアス回路と外部回路の接続のために設けられた気密パッケージのセラミックブロックの有する寄生容量 $C_{s1}$ とで、小信号周波数特性が劣化するという課題が開示されている。同公報では、この寄生容量 $C_{s1}$ による影響を低減するために、気密パッケージのセラミックブロックに配したバイアスライン下面のメタライズを除去することにより、回路内の寄生容量を除去している。セラミックブロックの下面は、バイアスラインの下面以外の他の部分で、メタライズが除去されていない。

然るに、同公報に記載された発明は半導体レーザへの変調信号の供給に単相線

路を用いたものであって、同公報には差動線路を用いた回路例や、2つのバイアス回路を使用する例、またその2つのバイアス回路のインピーダンスを異なるものにする例について開示されていない。また、差動線路と接続されるバイアス回路を2つ配置した実施の形態1とは、回路構成が異なるものである。

- 5       さらに、同公報に記載された発明は、共振による通過特性の3 dB減衰周波数を2.5 GHzから2.9 GHzに周波数軸で移動させるものであり、実施の形態1のように共振の振幅を変化させているものとは、まったく異なるものである。

このように実施の形態1によれば、差動線路が接続された光半導体素子がプッシュ・プル動作により駆動されるので、電気駆動波形の非対称性が改善され、光出力波形の品質が向上することにより、良好な伝送特性が得られるという効果を奏する。

また、差動線路が接続された光半導体素子の両側に夫々バイアス回路を配置したので、等価回路としては2つのバイアス回路が直列接続されて見えるため共振の振幅を小さくでき、バイアス回路の配置に伴う通過特性の急峻な落ち込み（リップル）を改善でき、光出力波形の品質が向上することにより、良好な伝送特性を得ることができる。

なお、実施の形態1としてLDを直接変調する装置を図示したが、これは一定強度の光を出力する光源を別に有する、例えば電界吸収型半導体光変調素子等を用いた光半導体装置に適用することもでき、同様の作用および効果を有する。

- 20       また、実施の形態1では直列共振を防止する素子としてソレノイドを用いているが、インダクタンス成分を持つ素子（インダクタンス素子）であれば他のものであってもよく、セラミック基板のパターン配線で構成したチップインダクタや直径0.01～0.5 mm、長さ10 mm程度のワイヤなどを用いてもよい。

以上説明したように、実施の形態1にかかる光半導体装置によれば、差動線路  
25       が接続された光半導体素子がプッシュ・プル動作により駆動されるので、波形の非対称性が改善され、光出力波形の品質が向上することにより、良好な伝送特性を得ることができるという効果を奏する。

また、実施の形態 1 にかかる光半導体装置によれば、差動線路が接続された光半導体素子の両電極側にバイアス回路を配置したので、バイアス回路に伴なう通過特性のリップルを改善でき、光出力波形の品質が向上することにより、良好な伝送特性を得ることができるという効果を奏する。

5 実施の形態 2.

第 5 図は、実施の形態 2 にかかる光半導体装置の一例を示す回路構成図である。同図において、LD 駆動回路 1 は、差動型の入力構成を有する入力バッファ 1 1 と、逆相信号および正相信号を出力する差動構成を成す一对の差動トランジスタ 1 2、1 3、定電流動作をするトランジスタ 1 4、差動トランジスタ 1 2、1 3  
10 のコレクタの負荷抵抗でインピーダンス整合をとるための抵抗 1 5、1 6 を夫々備えている。

入力バッファ 1 1 は、入力される正相信号と逆相信号の波形を整形し、差動トランジスタ 1 2 および 1 3 のベースへ入力する調整された逆相信号と正相信号を生成する。

15 差動構成を成す一对の差動トランジスタ 1 2、1 3、およびトランジスタ 1 4 は差動増幅器を構成する。差動トランジスタ 1 2 および 1 3 の夫々のコレクタ側は、抵抗 1 5 および 1 6 に接続されている。抵抗 1 5、1 6 の他方側は接地端子に接続される。差動トランジスタ 1 2 および 1 3 の夫々のエミッタは、定電流動作をするトランジスタ 1 4 に接続されている。差動トランジスタ 1 2 のベースに  
20 は入力バッファ 1 1 の逆相信号出力端子が接続され、差動トランジスタ 1 3 のベースには入力バッファ 1 1 の正相信号出力端子が接続されている。トランジスタ 1 4 のエミッタ側、および入力バッファ 1 1 の電圧入力端子は、ともに負電源 ( $V_{ee}$ ) に接続されている。

25 差動トランジスタ 1 2、1 3 の出力端子 (コレクタ側) は、マイクロストリップ差動線路やグラウンデッドコプレーナ差動線路などで構成される分布定数回路 1 8、フィルタ 2 7、整合抵抗 1 9 a、1 9 b を介して LD 2 0 のアノード、カソードに夫々接続されている。

なお、差動トランジスタ 12、13は、電界効果型トランジスタ (FET) を用いても良い。この場合、LD20のアノード、カソードともに、電界効果型トランジスタのドレイン側に接続される。

LDモジュール2側は、分布定数回路18、フィルタ27、20Ω程度のインピーダンス整合用の整合抵抗19a、19bを介して、高周波インピーダンスが5Ω程度のLD20とアノード側は半田付けで、カソード側はワイヤボンド29で接続され、高周波に対するインピーダンスが大きいソレノイド21aと、このソレノイド21aに並列に接続され共振防止のためにQ値を下げる抵抗22aとからなる第1のバイアス回路28aと、高周波に対するインピーダンスが大きいソレノイド21bと、このソレノイド21bに並列に接続され共振防止のためにQ値を下げる抵抗22bとからなる第2のバイアス回路28bとに、夫々ワイヤボンド23a、23bを介して接続される。

LD20のアノード側は、ワイヤボンド23b、第2のバイアス回路28bの並列回路を介して接地端子に接続されている。LD20のカソード側は、ワイヤボンド29、23a、第2のバイアス回路28aを介してバイアス定電流源24に接続される。定電流源24はトランジスタを用いて構成され、エミッタ側が負電圧源 (V<sub>ee</sub>) に接続されている。この負電源は、LD駆動回路1のトランジスタ14が接続される負電源 (V<sub>ee</sub>) と同じ電圧としているが、異なる電圧にしても良い。

また、実施の形態1と同様に、LD20のアノード、カソードに一对のバイアス回路28a、28bを介して直流バイアス電流が供給され、かつ差動型的一对の差動トランジスタ12、13によってLD20のアノード、カソードに高周波の変調信号が差動で入力されている。

いま、LD駆動回路1の差動トランジスタ12、13の立ち上がり特性を改善するため、第5図には図示しない回路定数の変更でLD駆動回路1にピーキングをかけると、15GHz程度を周期とするリングングが発生する。第5図に示すフィルタ27は、このリングングを除去するための低域通過フィルタである。

光ファイバの分散の影響が少ない波長 1.31  $\mu\text{m}$  帯では、光ファイバ伝送後の波形変化が小さく、このリングング波形は受信機のフィルタで減衰するので、アイマスクに対してより余裕を持たせた光出力波形が得られるので、このリングングを積極的に受信機のフィルタ後の信号波形改善に利用することもできる。しかし、光ファイバの分散の影響が大きい波長 1.55  $\mu\text{m}$  帯では、このリングング波形があると光半導体発光素子で引き起こされる波長チャープが大きくなり、光ファイバ伝送後の波形に悪影響を与えることもあるため、フィルタ 27 によってリングングを除去する。

第 6 図 (a) は、フィルタ 27 の上面図であり、第 6 図 (b) はこのフィルタ 27 の P 方向矢視図である。同図 (a) および (b) において、フィルタ 27 は、セラミック基板 41 の上面に一对のマイクロストリップ差動線路 39、下面に接地導体 40 を備えている。また、楕形のストリップ導体電極 38 が、一对のマイクロストリップ導体線路 39 から交互に、マイクロストリップ導体線路 39 に直交する内側方向に形成されている。

第 7 図は、フィルタ 27 を挿入する前後の周波数応答特性を対比したグラフである。同図において、C1 は第 4 図 (b) の曲線を示したものであり、第 5 図に示す 2 つのバイアス回路 28 a、28 b のインピーダンスを非対称にして、応答特性のうねりを改善した波形である。C2 は、上述したように、第 5 図の LD 駆動回路 1 に図示しない回路定数の変更でピーキングがかかったときに、15 GHz 程度を周期とするリングングが生じている場合の応答特性を示す波形である。C3 は、フィルタ 27 によって 15 GHz 付近のリングングを遮断したときの応答特性を示す波形である。同図から、12 GHz を越える付近まで、フラットで良好な周波数応答特性が得られている。

なお、特開平 7-38185 号公報の第 6 図に、LD 素子と並列に容量と抵抗との直列回路を挿入して、立ち上がり特性のリングングを防止する回路の開示がある。しかし、この回路は、バイアス電流を流さないために発生するオーバーシュートや緩和振動を除去する目的であり、本願発明とは目的が異なる。また、単

相給電である点や回路の構成も異なる。

また、特開平 7-46194 号公報の第 1 図および第 2 図に、整合抵抗と LD 駆動回路との間にインダクタンスと抵抗との直列回路を LD 素子に並列接続することで整合状態を変化させてリングングを防止する回路の開示があるが、目的や回路構成が異なり、また単相給電である点で相違する。

第 8 図は、第 5 図に示す光半導体装置の高周波動作を模擬する単純化した等価回路図である。31 は LD 駆動回路の出力インピーダンスを示している。LD モジュール側では、夫々第 5 図の LD モジュールの各素子を示す符号に対応しており、19a、19b は整合抵抗、20 は LD、27 はフィルタを示している。

いま、整合抵抗 19a および 19b の抵抗値を  $R_d$ 、LD 20 の内部抵抗を  $r$ 、フィルタ 27 の容量を  $C$ 、LD 駆動回路の出力インピーダンスを  $Z$  とおくと、この等価回路の遮断周波数  $f_c$  の近似式は、次式で表せる。

$$f_c = \frac{1}{2\pi RC} \quad \text{ただし、} \quad R = \frac{(2R_d + r)Z}{2R_d + r + Z}$$

例えば、LD 駆動回路側のインピーダンス  $Z$  を  $100 \Omega$ 、LD 20 の内部抵抗  $r$  を  $8 \Omega$ 、整合抵抗 19a および 19b の抵抗  $R_d$  を  $45 \Omega$ 、フィルタ 27 の容量  $C$  を  $0.16 \text{ pF}$  とすると、遮断周波数  $f_c$  は約  $10 \text{ GHz}$  と近似される。実際の回路定数は複雑化するため、このように遮断周波数を単純に得ることはできないが、この遮断周波数  $f_c$  を目安として、容量を設定すれば、所望のフィルタとしての効果を得ることができる。

このように実施の形態 2 によれば、第 1 および第 2 の導体線路に対して交差する複数の導体が櫛形状に形成された第 1 および第 2 の導体フィンガー部を有し、この第 1 の導体フィンガー部と第 2 の導体フィンガー部とが交互に配置されたフィルタが少なくともデジタル信号の最大繰り返し周波数よりも高い周波数を遮断し、LD 駆動回路のピーキング動作ときに発生する、LD 出力の不要なリングングを除去、または低減するので、光出力信号の信号雑音比を改善し、これによって光出力波形の品質が向上することにより、良好な伝送特性を得ることができ

る。

また、実施の形態 2 ではリングングを防止する素子として楕形のフィルタを用いる例を示したが、キャパシタンス成分を持つ素子であれば何でもよく、通常の導体パターン等で構成することもできる。

- 5      また、実施の形態 2 として LD を直接変調する装置を図示したが、これは一定強度の光を出力する光源を別に有する、例えば電界吸収型半導体光変調素子等を用いた光半導体装置に適用することもでき、同様の作用および効果を有する。
- 実施の形態 3.

- 10      実施の形態 1 では、差動線路を用いる利点として LD 駆動回路の立ち上がり／立ち下がり特性の非対称性を補償し、光出力波形が改善されることを中心に説明してきたが、この差動線路を用いることにより、立ち上がり／立ち下がり特性の非対称性の補償とは別に周波数特性を改善できる利点がある。この実施の形態では、リアクタンス、抵抗値の具体例を与える等価回路を示し、その利点について説明する。

- 15      第 9 図 (a) は、第 18 図に示す従来技術の光半導体装置の高周波動作を模擬する単純化した等価回路図である。同図において、31 は LD 駆動回路の出力インピーダンス、309 は整合抵抗、310 は LD の内部抵抗を示す。329 は、整合抵抗 309 と電氣的に接続される導体線路に設けられた図示しないパッドと、LD 310 のカソードとを接続するワイヤボンドである。32 はソレノイドなど
- 20      のインダクタンス素子 311 を有するバイアス回路を示しており、実際にはリアクタンスであるが、第 9 図と第 10 図では基本的な通過特性の説明を簡単にするため、抵抗としている。

- 第 9 図 (b) は、この等価回路の周波数応答特性のシミュレーション結果を示すグラフである。同図は、LD 駆動回路側の出力インピーダンス  $Z_1$  が  $50 \Omega$ 、
- 25      LD 310 の内部抵抗  $r_1$  が  $8 \Omega$ 、整合抵抗 309 の抵抗値  $R_3$  が  $40 \Omega$ 、ワイヤボンド 329 のインダクタンス  $L_3$  が  $0.5 \text{ nH}$ 、バイアス回路 32 のインピーダンスが  $50 \Omega$  のときのシミュレーション結果を示しており、同図より 3 d



B帯域（図中のm1から3 dB低下するところのm2との間）が10.6 GHz程度であることが分かる。

一方、第10図（a）は、第1図に示すこの発明の光半導体装置（差動線路）の高周波動作を模擬する簡単化した等価回路図である。同図において、31はLD駆動回路の出力インピーダンス、19aおよび19bは整合抵抗、20はLD、29はワイヤボンダ、32および33は夫々のバイアス回路を示している。

第10図（b）は、この等価回路の周波数応答特性のシミュレーション結果を示すグラフである。同図は、LD駆動回路側の出力インピーダンスZ1が100 Ω、LD20の内部抵抗r1が8 Ω、整合抵抗19aおよび19bの抵抗値R3およびR4が夫々40 Ω、ワイヤボンダ29のインダクタンスL3が0.5 nH、バイアス回路32および33のインピーダンスが夫々50 Ωのときのシミュレーション結果を示しており、同図より3 dB帯域（図中のm3から3 dB低下するところのm4との間）が18.6 GHz程度であることが分かる。

LD素子の基板側（アノード）は、給電線路に半田付けなどで固定されるため、LDモジュール側のインダクタンス成分は、LD素子のカソード側のワイヤボンダを主因とするものであり、差動給電回路と単相給電回路とで殆ど差異はない。一方、LD素子側から見たインピーダンスは、差動線路を用いた回路の方が2倍近く大きくなり、結果として差動線路の使用により周波数応答特性（通過特性）が改善される。

このように、LD駆動回路とLDモジュールとを差動線路を用いて接続することにより、周波数応答特性を改善することができる。

#### 実施の形態4.

第11図（a）は、第10図（a）の等価回路においてバイアス回路の構成を詳細に示した回路構成図である。この等価回路の構成および動作は実施の形態1で説明したとおりなので、ここでの説明は省略する。この実施の形態4では、実施の形態1の等価回路についてインダクタンス、容量、抵抗値の具体例を与えて、その特性について説明する。

## (第1の具体例)

第1の具体例の光半導体装置の等価回路における各素子の諸元は、第11図(a)に示す記号を用いて表すと、抵抗22aおよび22bの抵抗値 $R_1$ および $R_2 = 1000\ \Omega$ 、整合抵抗19aおよび19bの抵抗値 $R_3$ および $R_4 = 40\ \Omega$ 、ソレノイド21a、21bのインダクタンス $L_1$ および $L_2 = 100\text{ nH}$ 、ワイヤボンド29のインダクタンス $L_3 = 0.5\text{ nH}$ 、ワイヤボンド23a、23bのインダクタンス $L_4$ および $L_5 = 3\text{ nH}$ 、LD駆動回路側の抵抗値 $Z_1 = 100\ \Omega$ 、LD20の抵抗値 $r_1 = 8\ \Omega$ 、バイアス回路の寄生容量 $C_1$ 、 $C_2$ 、 $C_3$ および $C_4 = 0.1\text{ pF}$ である。なお、第11図(b)はこの回路条件に基づく周波数応答特性のシミュレーション結果を示すグラフである。

一方、第11図(c)は、第9図(a)の等価回路においてバイアス回路の構成を詳細に示した回路構成図である。この等価回路の構成および動作は従来の技術で説明したとおりなので、ここでの説明は省略する。この等価回路において、各素子の諸元を第11図(c)に示す記号を用いて表すと、 $R_2 = 1000\ \Omega$ 、 $R_3 = 40\ \Omega$ 、インダクタンス素子311のインダクタンス $L_2 = 100\text{ nH}$ 、 $L_3 = 0.5\text{ nH}$ 、 $L_5 = 3\text{ nH}$ 、LD駆動回路側の抵抗値 $Z_2 = 50\ \Omega$ 、LD310の抵抗値 $r_1 = 8\ \Omega$ 、バイアス回路の寄生容量 $C_2$ および $C_4 = 0.1\text{ pF}$ である。なお、第11図(d)はこの回路条件に基づく周波数応答特性のシミュレーション結果を示すグラフである。

第11図(b)および第11図(d)のシミュレーション結果に示されるように、差動給電方式のバイアス回路を用いた場合は、単相給電方式のバイアス回路を用いた場合と比較して、バイアス回路による共振リップルの振幅を減少させることができる。なお、この効果は、第11図(b)が実施の形態1における差動給電方式の実験結果として示した第4図(a)に対応し、第11図(d)が単相給電方式の実験結果として示した第21図に対応する。但し、第4図(a)と第21図の実験結果にはLD駆動回路1、200の周波数特性が含まれ、高域が遮断されている。

なお、特開平5-37083号公報では、バイアス回路の容量が原因となって発生する共振リップルの改善を目的として、光モジュールのパッケージ壁面から外側の寄生容量を低減するために、パッケージのフィードスルーのグランド面を除去した回路の開示がある。しかし、この回路は、単相線路を用いるものであり、回路の構成も本願発明とは異なっている。

(第2の具体例)

つぎに、実施の形態1の光半導体装置の等価回路について、インダクタンス、容量、抵抗値に関する第2の具体例として、他の条件を与えた場合のバイアス回路の特性について説明する。

第12図(a)は、第11図(a)と同一の等価回路を示した回路構成図であり、第12図(b)は、第12図(a)の回路条件に基づくシミュレーション結果を示すグラフであり、第11図(b)のグラフに対応する。また、第12図(c)は、第11図(a)の等価回路において、ワイヤボンド23a(または23b)のインダクタンス $L_4$ を、3nHから1nHに変更したときの周波数応答特性のシミュレーション結果を示すグラフである。

第12図(b)および第12図(c)のシミュレーション結果に示されるように、バイアス回路とLD素子とを接続するワイヤボンドなどのインダクタンス成分を、両側で非対称にすることにより、共振リップルを生じさせる周波数を高くすることができる。なお、リップルの振幅は増加しているが、リップルが生じる領域を帯域外に追いやることができるので、所望の帯域を確保する場合などに有用である。

(第3の具体例)

さらに、実施の形態1の光半導体装置の等価回路について、インダクタンス、容量、抵抗値に関する第3の具体例として、他の条件を与えた場合のバイアス回路の特性について説明する。

第13図(a)は、第11図(a)と同一の等価回路を示した回路構成図であり、第13図(b)は、第13図(a)の回路条件に基づくシミュレーション結

果を示すグラフであり、第11図(b)に対応する。また、第13図(c)は、第11図(a)の等価回路において、ソレノイド21aのインダクタンス $L_1$ を変更したときの周波数応答特性のシミュレーション結果を示すグラフである。ここで、ソレノイド21aおよび抵抗22aに関し、 $L_1 = 100 \text{ nH}$ 、 $R_1 = 1000 \Omega$ として $L_1$ のインダクタンスを変更する前のグラフを第13図(b)に示し、 $L_1 = 10 \text{ nH}$ 、 $R_1 = 400 \Omega$ として $L_1$ のインダクタンスを変更した後のグラフを第13図(c)に示す。

第13図(b)および第13図(c)のシミュレーション結果に示されるように、バイアス回路に並列接続されたソレノイド21a(または21b)と抵抗22a(または22b)のインピーダンスを、両側で非対称にすることにより、共振リップルの振幅をさらに小さくすることができる。これは実施の形態1の第4図(b)の実験結果で示した内容と同じである。なお、実施の形態1の第4図(b)の実験結果にはLD駆動回路1の周波数特性を含み、高域が遮断されている。

このように実施の形態4によれば、LD駆動回路とLDモジュールとを差動線路を用いて接続することによって、共振リップルの振幅を減少させることができる。また、バイアス回路とLD素子とを接続するワイヤボンドなどのインダクタンス成分を、ワイヤボンドの長さを変えるなどして両側で非対称にすることにより、共振リップルを生じさせる周波数を高く設定することができる。さらに、バイアス回路に並列接続されたインダクタンス素子と抵抗のインピーダンスを両側で非対称にすることにより、共振リップルの振幅をさらに小さくすることができる。

#### 実施の形態5.

まず、第14図から第16図を用いて、この発明の実施の形態5の光半導体素子モジュールについて説明する。

第14図はキャンパッケージ101およびレセプタクル102から構成される光半導体素子モジュール(以下、この実施の形態5では主にLDを搭載した例を示すので、LDモジュールと呼ぶ。)103の外観構成を示す図であり、第15

図 (a) (b) はLDモジュール103の水平断面図 (第14図のxに平行な面) 、垂直断面図 (第14図のyに平行な面) である。

第14図、15に示すように、キャンパッケージ101は、バイアス給電ピン (144a、144b) 、高周波信号ピン (141a、141b) などがマウン  
5 トされる円板状のステム110と、複数のセラミック基板が搭載される台形柱状の台座111 (台座ブロック) と、LD20から発生されたレーザ光を集光する集光レンズ25と、台座111などを外部から密閉するための円筒形のキャップ113などを備えている。

キャップ113は、第15図に示すように、プロジェクション溶接などによつ  
10 てステム110に固定される第1キャップ部材113aと、この第1キャップ部材113aの先端側に外嵌されてYAG溶接などによって第1キャップ部材113aに固定される第2キャップ部材113bとから2段円筒形状を成している。  
具体的には、第1キャップ部材113aは段付きの外筒を有し、太い径の外筒の先に細い径の外筒が設けられている。この細い径の外筒の外周に対して、第2キャ  
15 ャップ部材113bの一端側の内筒が嵌合し、貫通YAG溶接によって第1キャップ部材113aと第2キャップ部材113bが固定される。

第1キャップ部材113aの先端側には、レンズ挿入用の孔114が形成されており、この孔114に集光レンズ25が挿入される。集光レンズ25は、ネジ、  
接着材などによって第1キャップ部材113aに固定される。第1キャップ部材  
20 113aの内部空間115は、ガラス製のウィンドウ116によって外部から画成されており、これにより台座111が収納される内部空間115を気密状態に保つようにしている。なお、集光レンズ25の接着、または半田付けによって、内部空間115を気密状態に保つことが可能な場合は、ウィンドウ116を省略してもよい。

25 第2キャップ部材113bの集光レンズ25に対向する部分 (他端側) には、レーザ光を通過させるための孔117が形成されている。この第2キャップ部材113bをレーザ光軸方向に位置決め調整して、第1キャップ部材113aにY

AG溶接固定することで、集光レンズ25とレセプタクル102内に保持されたダミーフェルール118とのレーザ光軸方向の位置合わせを行う。

レセプタクル102は、光ファイバ120が接続されたフェルール121（第14図参照）が挿入されるフェルール挿入孔119を有しており、光ファイバ120を保持する。フェルール挿入孔119内のキャンパッケージ101側には、内部に光ファイバ118aが配設されているダミーフェルール118が圧入され固定されている。レセプタクル102におけるダミーフェルール118が固定される側の一端面は、YAG溶接による突き合わせ溶接などによってキャンパッケージ101の第2キャップ部材113bの他端側の端面に固定される。レセプタクル102を第2キャップ部材113bに固定する際に、レーザ光軸方向に垂直な2つの方向に対する位置決め調整を行うことで、集光レンズ25とレセプタクル102内のダミーフェルール118とのレーザ光軸に直角な2つの方向に関する位置合わせを行う。

光ファイバ120が接続されているフェルール121は、フェルール121がレセプタクル102のフェルール挿入孔119に挿入されたとき、ダミーフェルール118の方にフェルール121を押圧し、かつフェルール121をレセプタクル102にロック固定するための適宜の機構（図示せず）を有している。したがって、フェルール121がレセプタクル102のフェルール挿入孔119に挿入されると、ダミーフェルール118の光ファイバ118aとフェルール121内の光ファイバ120の端面同士が当接し、これによりファイバ間が接続（光結合）される。

つぎに、キャンパッケージ101内の構成について説明する。第16図は、キャップ113を外した状態におけるキャンパッケージ101を示す斜視図である。

第16図に示すように、キャンパッケージ101は、複数のピンがマウントされた円板状のステム110と、Agロウ付けなどによってステム110の内壁面に垂直に固定される台形柱状の台座111とから構成される。

グラウンドを構成するステム110には、LD駆動回路1からの差動の変調電気

信号（以下差動高周波信号ともいう）が伝送される一対の高周波信号ピン141 a、141 bと、これら高周波信号ピン141 a、141 bの両側に配される2本のグランドピン142 a、142 bと、モニタ用の受光素子（例えばフォトダイオード、以下PDという）150の信号伝送のための1本のモニタ信号ピン143と、LD20に対して外部の直流バイアス電流源からバイアス電流を供給する一対のバイアス給電ピン144 a、144 bと、モニタ用のPD150を搭載するためのPD用チップキャリア145とがマウントされている。例えば、高周波信号ピン141 aから第16図に示す正相の電流信号 $I_2$ が引き抜かれるとともに高周波信号ピン141 bに対して第16図に示す電流信号 $I_2$ と逆相の電流信号 $I_1$ が与えられる。

これらの信号ピンのうち、高周波信号ピン141 a、141 bと、グランドピン142 a、142 bは、気密を保ったままステム110を介して電気信号を通過させるフィードスルーを構成している。これら各ピンは、ガラスなどの材料で構成される誘電体を介してステム110に対し気密封止状態で固定されている。グランドピン142 a、142 bは、グランドを構成するステム110の外壁面（図示せず）に圧着および溶接によって固着されている。PD用チップキャリア145上にマウントされたPD150は、LD20から後方に出射されるモニタ光をモニタするためのものである。

台座111の上面には、マイクロストリップ差動線路基板146、147と、LD用チップキャリア148と、バイアス回路用基板149とが搭載されている。マイクロストリップ差動線路基板146、147やLD用チップキャリア148の裏面にグランドとして機能するように形成された平面導体板である接地導体層が、半田などで台座111の上面に接合され、電気的に接続されている。また、台座111は、LD20等から発生する熱の放熱経路になっている。

マイクロストリップ差動線路基板146は、セラミック基板151と、セラミック基板151の上面に形成された一対のストリップ差動信号線152 a、152 bと、セラミック基板151の裏面に形成された接地導体層（図示せず）で構

成されている。ストリップ差動信号線 1 5 2 a、1 5 2 b の一端側には、ステム 1 1 0 から突出した高周波信号ピン 1 4 1 a、1 4 1 b と接触させるためのパッド 1 5 3 a、1 5 3 b が形成されている。ストリップ差動信号線 1 5 2 a、1 5 2 b の途中には、互いの信号線により接近するように突出されたインピーダンス整合用の容量性のスタブ 1 5 4 a、1 5 4 b が形成されている。ストリップ差動信号線 1 5 2 a、1 5 2 b は、低いインピーダンスになりやすいフィードスルー部のインピーダンスを補正するために、ステム 1 1 0 に近い入力側の部分では、信号線間隔が大きく設定されている。また、ストリップ差動信号線 1 5 2 a、1 5 2 b は、信号線間隔が徐々に接近する部分と、間隔が接近して平行に配置される出力側部分とを有している。ステム 1 1 0 にマウントされる高周波信号ピン 1 4 1 a、1 4 1 b の端部は、マイクロストリップ差動線路基板 1 4 6 のパッド 1 5 3 a、1 5 3 b にロウ付けまたは半田付けによって接続固定されている。

マイクロストリップ差動線路基板 1 4 7 は、セラミック基板 1 5 5 と、セラミック基板 1 5 5 の上面に形成された一対のストリップ差動信号線 1 5 6 a、1 5 6 b と、セラミック基板 1 5 5 の裏面に形成された接地導体層（図示せず）で構成されている。ストリップ差動信号線 1 5 6 a、1 5 6 b は、信号線方向を略 90 度折り曲げるためのコーナーカーブ部を有している。ストリップ差動信号線 1 5 6 a、1 5 6 b の途中には、インピーダンス整合用の整合抵抗 1 9 a、1 9 b がそれぞれ形成されている。ストリップ差動信号線 1 5 2 a、1 5 2 b と、ストリップ差動信号線 1 5 6 a、1 5 6 b とは、ワイヤボンド 1 5 7 a、1 5 7 b によってそれぞれ接続されている。

LD 用チップキャリア 1 4 8 は、セラミック基板 1 5 8 と、セラミック基板 1 5 8 の上面に形成された一対のストリップ差動信号線 1 5 9 a、1 5 9 b と、セラミック基板 1 5 8 の裏面に形成された接地導体層（図示せず）で構成されるマイクロストリップ差動線路を有し、一方のストリップ差動信号線 1 5 9 b の一端上に LD 2 0 の一方の電極であるアノードが直接当接するように、LD 2 0 が搭載されている。LD 2 0 の他方の電極としてのカソードは、ワイヤボンド 2 9 に



よって他方のストリップ差動信号線 159 a の一端に接続されている。ストリップ差動信号線 156 a、156 b と、ストリップ差動信号線 159 a、159 b の他端とは、ワイヤボンダ 161 a、161 b によってそれぞれ接続されている。セラミック基板 158 は、熱伝導性の良い窒化アルミ (AlN) や炭化シリコン (SiC) などの材料から構成されている。LD 20 としては、10Gb/s の変調信号の伝送が可能な、例えば分布帰還型のレーザダイオード素子が用いられている。

バイアス回路用 (セラミック) 基板 149 上には、2 本の配線パターン 162 a、162 b と一対のインダクタンス回路 (インダクタンス素子及び抵抗の並列回路) が形成されている。一方の配線パターン 162 a には、ソレノイド 21 a およびこのソレノイド 21 a の線間容量とインダクタンスとの共振を防止する抵抗 22 a が電氣的に並列接続されるように配置され、他方の配線パターン 162 b には、同様に、ソレノイド 21 b および抵抗 22 b とが電氣的に並列接続されるように配置されている。ソレノイド 21 a およびソレノイド 21 b は互いの磁界が干渉しないように、各ソレノイド 21 a、21 b の中心軸 (の延長線) が交差するように、好ましくは直交するように、離間配置されている。2 本の配線パターン 162 a、162 b の一方の各端部は、LD 用チップキャリア 148 のストリップ差動信号線 159 a、159 b とワイヤボンダ 23 a、23 b を介して接続されており、配線パターン 162 a、162 b の他方の端部は、ワイヤボンダ 163 a、163 b を介してステム 110 に設けられるバイアス給電ピン 144 a、144 b に接続される。

つぎに、キャンパッケージ 101 の各部の特徴的な構成をより詳細に説明する。まずステム 110 の構成について詳述する。

LD 駆動回路 1 の差動トランジスタ 12、13 から出力される差動高周波信号は、第 16 図に示すように、キャンパッケージ 101 の外部に配置された基板に設けられたグラウンデッドコプレーナ差動線路 170 を介して、キャンパッケージ 101 に入力される。グラウンデッドコプレーナ差動線路 170 は、基板上に形成

された一対の差動信号線 171a、171b と、この一対の差動信号線 171a、171b を挟むように差動信号線 171a、171b の外側に配置されるグラウンド 172a、172b と、裏面に配置されてグラウンド 172a、172b に接続される接地導体層（図示せず）とから構成されている。差動信号線 171a、171b は、LD 駆動回路 1 の上面に設けられた出力端子 160a、160b に接続されている。出力端子 160a は差動トランジスタ 13 のコレクタに電氣的に接続され、出力端子 160b は差動トランジスタ 12 のコレクタに電氣的に接続される。

グラウンデッドコプレーナ差動線路 170 の差動信号線 171a、171b は、ステム 110 に設けられた高周波信号ピン 141a、141b に半田で接続固定されている。グラウンデッドコプレーナ差動線路 170 のグラウンド 172a、172b は、ステム 110 に設けられたグラウンドピン 142a、142b に半田で接続固定されている。また、グラウンデッドコプレーナ差動線路 170 のキャンパッケージ側の端面と、ステム 110 との間に間隙があるので、この間隙に誘電体を充填することによって、インピーダンスの低下による高周波信号の反射を抑えるようにしてもよい。

ステム 110 は、コバルト（Fe-Ni 合金）、軟鉄、あるいは CuW（銅タングステン）などの金属で構成され、通常、その上層に半田付けのために Ni や金などのメッキが施されている。ステム 110 には、複数の孔 174、175、176a、176b が分散して形成されており、これらの孔 174、175、176a、176b に、誘電体 177、178、179a、179b が挿入される。

誘電体 177 には一対のピン挿入孔 180a、180b が形成され、これらのピン挿入孔 180a、180b に高周波信号ピン 141a、141b が挿入固定される。同様に、誘電体 178、179a、179b には、孔（符号は省略）がそれぞれ形成され、これらの各孔にモニタ信号ピン 143 およびバイアス給電ピン 144a、144b が挿入固定される。一対の高周波信号ピン 141a、141b が挿入される誘電体 177 の形状は、この場合長円形状を呈している。これ

に対応して、誘電体 177 が挿入される孔 174 も長円形状を呈している。その他の誘電体 178、179a、179b は、円形状としている。なお、グランドピン 142a、142b は、ステム 110 の図示しない外壁面に圧着および溶接によって固着されている。

- 5       ここで、2 本の高周波信号ピン 141a、141b は、高周波特性を考慮し、誘電体 177 の少なくとも一方の外側に突出される部分の長さ（LD20 側への突出長）が、モニタ信号ピン 143 およびバイアス給電ピン 144a、144b の同突出長よりも短く設定されており、高周波信号ピン 141a、141b を伝送される信号が、誘電体 177 の外側に出ると、即座にマイクロストリップ差動線路基板 146 のストリップ差動信号線 152a、152b に乗り移れるようにしている。モニタ信号ピン 143 およびバイアス給電ピン 144a、144b の方は、高周波特性の厳しい制約がないので、ある程度の突出長を確保して、ワイヤボンドの接続作業などを容易にしている。

- 15       誘電体 177、178、179a、179b としては、例えば、コバールガラスを使用するのが好ましく、ほうけい酸ガラスなどを使用しても良い。また、高周波信号ピン 141a、141b、モニタ信号ピン 143、バイアス給電ピン 144a、144b、グランドピン 142a、142b としては、例えばコバール、50%Ni-Fe 合金などの金属を使用する。

- 20       なお、グラunded コプレーナ差動線路 170、高周波信号ピン 141a、141b、グランドピン 142a、142b、ワイヤボンド 157a、157b、およびマイクロストリップ差動線路基板 146、147 によって、分布定数回路 18 が構成される。

- 25       本実施の形態 5 においては、LD 駆動回路 1 の差動トランジスタ 12、13 の出力から LD20 までのインピーダンス整合をとるためこれらの間を全て差動線路で構成して LD20 を駆動するようにしており、ステム 110 を貫通するピンも、長円形状の誘電体 177 に一对の高周波信号ピン 141a、141b を貫通させることで、差動線路を構成する差動ピンとしている。このため、例えば、単

相駆動の場合には、LD 20を駆動する大電流がグラウンドを経由してLD駆動回路1に帰還するので、接地電位が変動するため、近接して設置されることが多い微弱電流を検出する光受信系の電子回路に悪影響が出ることがあるが、本実施例では差動線路を用いて、LD 20をプッシュ・プル動作しているので、大電流は  
5 差動線路を流れ、接地電位の変動が少なくなり、周辺回路への影響が出にくいという利点がある

このように、LD駆動回路1側ピン露出領域を差動線路構成としかつその外側にグラウンドピン142a、142bを配して、この部分のインピーダンスを従来に比べ低くするようにしたので、この部分とフィードスルー部とのインピーダンス差が従来に比べ小さくなり、また電界の不連続も少なくしたので、通過特性および反射特性を改善することができる。

高周波信号ピン141a、141bの周りに配置される誘電体177として、ガラスを使用しているので、ステム110の内側部分（高周波信号ピン141a、141bが誘電体177で囲まれているフィードスルー部分、以下ピン非露出領域ともいう）では、取り扱いが容易な直径0.3mmから0.5mm程度の高周波信号ピン141a、141bと直径3.5mmから直径6mm程度のステム110に適当な形状の孔とした場合、インピーダンスが下がりすぎる傾向がある。  
15 このピン非露出領域のインピーダンスを上げるためには、高周波信号ピンの周りに配置される誘電体177の断面積（長円の面積）を大きくすればよいが、これ  
20 では小型化、省スペース化の要求を満足させることができない。

そこで、2本の高周波信号ピン141a、141bは、誘電体177の外側に出ると、即座にマイクロストリップ差動線路基板146のストリップ差動信号線152a、152bに乗り移れるように、LD 20側への突出長を短くするとともに、マイクロストリップ差動線路基板146のストリップ差動信号線152a、  
25 152bのうち、高周波信号ピン141a、141bに接続される、ステム110に近い部分の間隔を、例えば、マイクロストリップ差動線路基板147に近い部分の線路間隔よりも大きくしたり、高周波信号ピン141a、141bの間隔

よりも若干広く設定する等、比較的大きく設定することで、この部分の電氣的結合を弱くして、この部分を高インピーダンスに設定している。

このように、ステム 110 を出た直後の差動線路部分の線路間隔を大きくして、高インピーダンス部分を故意に作成しており、この高インピーダンス部分とステム内側（ピン非露出領域）の低インピーダンス部分とでインピーダンスを相殺させ、全体的に見てインピーダンスを整合させるようにしている。すなわち、ピン非露出領域（フィードスルー部分）は低インピーダンスであるので、その後にハイインピーダンスを少し作って、全体としてのインピーダンス整合をとるようにしている。

また、ストリップ差動信号線 152 a、152 b の途中には、インピーダンス整合用の一対のスタブ 154 a、154 b を形成しており、これら一対のスタブ 154 a、154 b によりインピーダンスを下げてストリップ差動信号線 156 a、156 b との mismatching が発生しないようにしている。すなわち、これら一対のスタブ 154 a、154 b により、ドライバ側ピン露出領域のリアクタンス成分と、ピン非露出領域（フィードスルー部分）のリアクタンス成分を補償して、通過特性および反射特性を改善している。

また、この場合、一対のスタブ 154 a、154 b は、外側にではなく、内側に（互いの信号線に接近するように）突出されているので、マイクロストリップ差動線路基板 146 の小型化に寄与する。なお、小型化が必要ない場合は、差動線路の 152 a、151 b の外側に突出するようにしてもよい。

キャンパッケージ 101 においては、高周波信号ピン 141 a、141 b と LD20 との間を接続する差動線路基板と、LD20 を搭載する基板と、LD20 に直流バイアス電流を供給するためのバイアス回路基板と、モニタ PD50 とを配置する必要がある。

このとき、マイクロストリップ差動線路基板 146、147 と、バイアス回路用基板 149 とで、LD 用チップキャリア 148 を挟むように LD 用チップキャリア 148 の両側に配置するようにしている。別言すれば、LD20 を真ん中に

してマイクロストリップ差動線路基板 146、147の各ストリップ差動信号線 152a、152b、156a、156bと、一对のインダクタンス回路を含む配線パターン 162a、162bと、LD20とを略U字状に配置している。

また、マイクロストリップ差動線路基板 146、147が、LD用チップキャリア 148からサイドにずれた位置に配設されるので、高周波信号ピン 141a、141bを封止固定するための透明の誘電体 177の配置位置も、必然的に、LD用チップキャリア 148からサイドにずれた位置に配設されることになる。

なお、LD20を搭載する基板と、高周波信号ピン 141a、141bおよびLD20間を接続する差動線路基板とを、同一の基板で構成する手法もあるが、この場合は、熱源としてのLD20からの熱を放熱するため単位面積あたり高価な放熱性の良い窒化アルミ基板 (AlN) などの基板材料を広い面積で使用しなくてはならず、コストアップの原因となる。

そこで、熱源としてのLD20を搭載するLD用チップキャリア 148を、他の基板から分離して単独基板としている。このため、LD用チップキャリア 148にのみ高価な放熱性の良い窒化アルミ基板 (AlN) などのセラミック基板材料を使用すればよくなり、他の基板 (マイクロストリップ差動線路基板 146、147と、バイアス回路用基板 149) は、安価な  $Al_2O_3$  などのセラミック基板材料を使用すればよくなり、低コスト化が可能となる。

また、本実施の形態によれば、インピーダンス整合用のマイクロストリップ差動線路基板 146と、整合抵抗 19a、19bを配置するためのマイクロストリップ差動線路基板 147とを、別基板としたので、無駄のないセラミック基板の裁断が可能となって低コスト化に寄与する。

また、バイアス回路用基板 149には、バイアス給電ピン 144a、144bに接続されるソレノイド 21aおよび抵抗 22aの並列回路と、ソレノイド 21bおよび抵抗 22bの並列回路とを、同一基板上に配置して、バイアス回路基板の小面積化を図っているので、低コスト化および小型化に寄与する。

誘電体 177の厚みをステム 110に形成した孔 174の深さすなわちステム

1 1 0の幅よりも短く設定し、ステム1 1 0にはLD側の開口部をすりばち状に形成した孔1 9 5が形成される。

5 なお、上記実施の形態において、マイクロストリップ差動線路基板1 4 6、1 4 7の代わりにグラデッドコプレーナ差動線路を用いるようにしてもよい。グラデッドコプレーナ差動線路は、前述したように、基板上に形成された一対の差動信号線と、この一対の差動信号線を挟むように差動信号線の外側に配置されるグランドと、裏面に配置される接地導体層とから構成されている。

実施の形態6.

10 第17図を用いて、この発明の実施の形態6の光半導体素子モジュールについて説明する。第17図(a)は上蓋401を外した状態の上面図であり、第17図(b)は第17図(a)のII断面図である(但し、上蓋401は取付けた状態)。こ

15 の実施の形態6においては、先の実施の形態のキャンパッケージ101に搭載されるLD20と、LD20を載置する基板501を含む各種構成要素と、LD駆動回路1とを、箱形(バタフライ型)の光半導体用パッケージ402内に収納している。

20 第17図に示すように、この光半導体用パッケージ402においても、LD駆動回路1の入力バッファ11には、前述したように、正相および逆相の差動信号が入力される。そこで、この差動信号を光半導体用パッケージ402のLD駆動回路1に入力するために、光半導体用パッケージ402の側壁に誘電体177(フィードスルー)を嵌め込み、誘電体177上に設けられた差動線路178a、178bを介して、パッケージの内外で気密を確保したまま差動信号の伝送を行う。

25 差動線路178a、178bの一端は、光半導体用パッケージ402の外部で高周波信号ピン141a、141bとが半田接合されている。高周波信号ピン141a、141bはグランドに接続されたグランドピン142a、142bに挟まれるところで互いに近接して配置され、差動線路を構成する。

差動線路 1 7 8 a、1 7 8 b の他端は、基板 5 0 2 に設けられた差動ストリップ線路 4 1 1 の一端に接続される。差動ストリップ線路 4 1 1 の他端は、基板 5 0 3 に設けられた差動ストリップ線路の一端に接続される。基板 5 0 3 に設けられた差動ストリップ線路の他端は、LD 駆動回路 1 の差動信号の入力端子にワイヤボンドを介在させて接続され、LD 駆動回路 1 内の入力バッファ 1 1 に電氣的に接続される。

差動トランジスタ 1 2、1 3 と電氣的に接続された LD 駆動回路 1 の出力端子は、ワイヤボンドを介在させて基板 5 0 4 に設けられた差動線路の一端に接続される。基板 5 0 4 に設けられた差動線路の他端は、基板 5 0 1 に設けられた差動線路の一端にワイヤボンドを介在させて接続される。基板 5 0 1 の差動線路の一方は、他端側で第 5 図に示したように LD 2 0 のアノードが半田接合される。基板 5 0 1 の差動線路の他方は、他端側で第 5 図に示したようにワイヤボンドを介在させて LD 2 0 のカソードと接続される。基板 5 0 1 の一端側には、整合抵抗 1 9 a、1 9 b が設けられている。基板 5 0 5 には、第 5 図のように、ソレノイド 2 1 a と抵抗 2 2 a が並列に接続されたバイアス回路 2 8 a と、ソレノイド 2 1 b と抵抗 2 2 b が並列に接続されたバイアス回路 2 8 b が設けられている。バイアス回路 2 8 a、2 8 b は基板 5 0 1 上の夫々の差動線路と接続される。また、バイアス回路 2 8 a、2 8 b はセラミック基板 4 5 0 上の導体線路とワイヤボンドで接続される。

バイアス回路 2 8 a、2 8 b は、ワイヤボンドとセラミック基板 4 5 0（フィードスルー）を介して導体リード 4 5 1 に接続されている。セラミック基板 4 5 0 はパッケージ側壁に嵌め込まれ、気密を確保したまま光半導体用パッケージ 4 0 2 の内外でバイアス電流や LD 駆動回路 1 の制御信号を伝送する。

LD 駆動回路 1、基板 5 0 1、5 0 3、5 0 4、5 0 5 は、金属導体マウント 5 1 0 の上に載置される。金属導体マウント 5 1 0 の側面には、レンズとレンズを保持するホルダから成るレンズ 5 2 0 が接合されている。レンズ 5 2 0 は、他の光学部品を介して光ファイバ 1 2 0 に集光するように配置される。また、光半



導体用パッケージ４０２の上面には上蓋４０１が溶接され、光半導体用パッケージ４０２の前方の側壁の光通過孔に、窓ガラス６００が接合されて気密が確保されている。光ファイバ１２０は光ファイバ保持部４０３で保持される。

この実施の形態６においては、差動線路を構成する高周波信号ピン１４１ａ、  
5 １４１ｂや差動ストリップ線路４１１の他各差動線路を用いて、差動信号をＬＤ  
駆動回路１に入力するようにしている。このため、先の実施の形態と同様、高周  
波特性の劣化を抑えることができるとともに、気密性を向上させることができる。

以上説明したように、この発明にかかる光半導体装置によれば、差動線路が接  
続された光半導体素子がプッシュ・プル動作により駆動されるので、波形の非対称  
10 性が改善され、光出力波形の品質が向上することにより、良好な伝送特性を得る  
ことができるという効果を奏する。

また、この発明にかかる光半導体装置によれば、差動線路が接続された光半導  
体素子の両電極側にバイアス回路を配置したので、バイアス回路に伴なう通過特  
性のリップルを改善でき、光出力波形の品質が向上することにより、良好な伝送  
15 特性を得ることができるという効果を奏する。

#### 産業上の利用可能性

以上のように、本発明は、良好な伝送特性を有する光半導体素子および光半導  
体素子を備えた光半導体装置として、高速光通信の分野に適している。

## 請 求 の 範 囲

1. 光半導体素子と、

前記光半導体素子の有する一対の電極の一方に接続され、この光半導体素子に  
5 電気信号を供給する第1の導体線路と、

前記光半導体素子の有する一対の電極の他方に接続され、この光半導体素子に  
電気信号を供給する第2の導体線路と、

前記光半導体素子の一方の電極と前記第1の導体線路とに接続された第1のイ  
ンダクタンス素子と、

10 前記光半導体素子の他方の電極と前記第2の導体線路とに接続された第2のイ  
ンダクタンス素子と、

を備え、

前記第1、第2の導体線路は、一対の差動線路を成す光半導体装置。

15 2. 前記光半導体素子の一方の電極および他方の電極に、夫々接続され、前記  
電気信号をこの光半導体素子に導く一対の整合抵抗をさらに備えることを特徴と  
する請求の範囲第1項に記載の光半導体装置。

3. 前記第1のインダクタンス素子とこの第1のインダクタンス素子に並列接  
20 続された第1の抵抗とを有する第1のバイアス回路と、

前記第2のインダクタンス素子とこの第2のインダクタンス素子に並列接続さ  
れた第2の抵抗とを有する第2のバイアス回路と、

を備えることを特徴とする請求の範囲第2項に記載の光半導体装置。

25 4. 前記第1のインダクタンス素子とこの第1のインダクタンス素子に並列接  
続された第1の抵抗とを有する第1のバイアス回路と、

前記第2のインダクタンス素子とこの第2のインダクタンス素子に並列接続さ

れた第2の抵抗とを有する第2のバイアス回路と、  
を備えることを特徴とする請求の範囲第1項に記載の光半導体装置。

5. 前記第1および第2の導体線路と前記一対の整合抵抗との間に、少なくとも  
5 もデジタル信号の最大繰り返し周波数よりも高い周波数を遮断するフィルタを  
備えることを特徴とする請求の範囲第1項に記載の光半導体装置。

6. 前記フィルタは、前記第1および第2の導体線路に対して交差する複数の  
導体が櫛形状に形成された第1および第2の導体フィンガー部を夫々備え、前記  
10 第1の導体フィンガー部と前記第2の導体フィンガー部とが交互に配置されてい  
ることを特徴とする請求の範囲第5項に記載の光半導体装置。

7. 前記第1および第2の導体線路を収納するパッケージと、  
前記光半導体素子の出射光を集光するレンズと、  
15 光ファイバを保持する光ファイバ保持部材と、  
を備えることを特徴とする請求の範囲第6項に記載の光半導体装置。

8. 前記第1および第2のインダクタンス素子が空芯コイルであることを特徴  
とする請求の範囲第7項に記載の光半導体装置。

20

9. 前記光半導体素子は、半導体レーザダイオードであることを特徴とする請  
求の範囲第8項に記載の光半導体装置。

10. 前記第1および第2の導体線路を収納するパッケージと、  
25 前記光半導体素子の出射光を集光するレンズと、  
光ファイバを保持する光ファイバ保持部材と、  
を備えることを特徴とする請求の範囲第1項に記載の光半導体装置。

1 1. 前記第 1 および第 2 のインダクタンス素子が空芯コイルであることを特徴とする請求の範囲第 1 項に記載の光半導体装置。

5 1 2. 前記光半導体素子は、半導体レーザダイオードであることを特徴とする請求の範囲第 1 項に記載の光半導体装置。

1 3. 少なくとも 2 つのバイアス回路のインピーダンスを非対称にしたことを特徴とする請求の範囲第 1 項に記載の光半導体装置。

10

1 4. 光半導体素子と、

前記光半導体素子の有する一对の電極の一方に電気信号を供給する第 1 の差動入力端子と、

15 前記光半導体素子の有する一对の電極の他方に、前記第 1 の差動入力端子と逆相の電気信号を供給する第 2 の差動入力端子と、

前記光半導体素子の一方の電極と前記第 1 の導体線路とに接続され、高周波の前記電気信号を遮断する第 1 のインダクタンス素子と、

前記光半導体素子の他方の電極と前記第 2 の導体線路とに接続され、高周波の前記電気信号を遮断する第 2 のインダクタンス素子と、

20 を備えた光半導体装置。

1 5. 光半導体素子と、

前記光半導体素子の有する一对の電極の一方および他方に、夫々一方の端子および他方の端子が接続され、この光半導体素子に電気信号を供給する一对の差動  
25 増幅器と、

前記光半導体素子の一方の電極に接続され、高周波の前記電気信号を遮断する第 1 のインダクタンス素子と、

前記光半導体素子の他方の電極に接続され、高周波の前記電気信号を遮断する第2のインダクタンス素子と、  
を備えた光半導体装置。

5 16. 光半導体素子と、

前記光半導体素子の一对の電極に夫々接続され、この光半導体素子に差動信号を供給する第1、第2の導体線路と、

前記第1の導体線路と前記光半導体素子の一方の電極とに電気的に接続される第1の端子と、

10 前記第2の導体線路と前記光半導体素子の他方の電極とに電気的に接続される第2の端子と、

を備え、

前記第1、第2の端子は夫々、高周波を遮断するバイパス回路に接続される光半導体装置。

15

17. 光半導体素子と、

前記光半導体素子の一对の電極の一方に一端が接続され、この光半導体素子に電気信号を供給する第1の導体線路と、

20 前記光半導体素子の一对の電極の他方に一端が接続され、この光半導体素子に電気信号を供給する第2の導体線路と、

前記光半導体素子の一方の電極と前記第1の導体線路とに接続される第1のインダクタンス素子と、

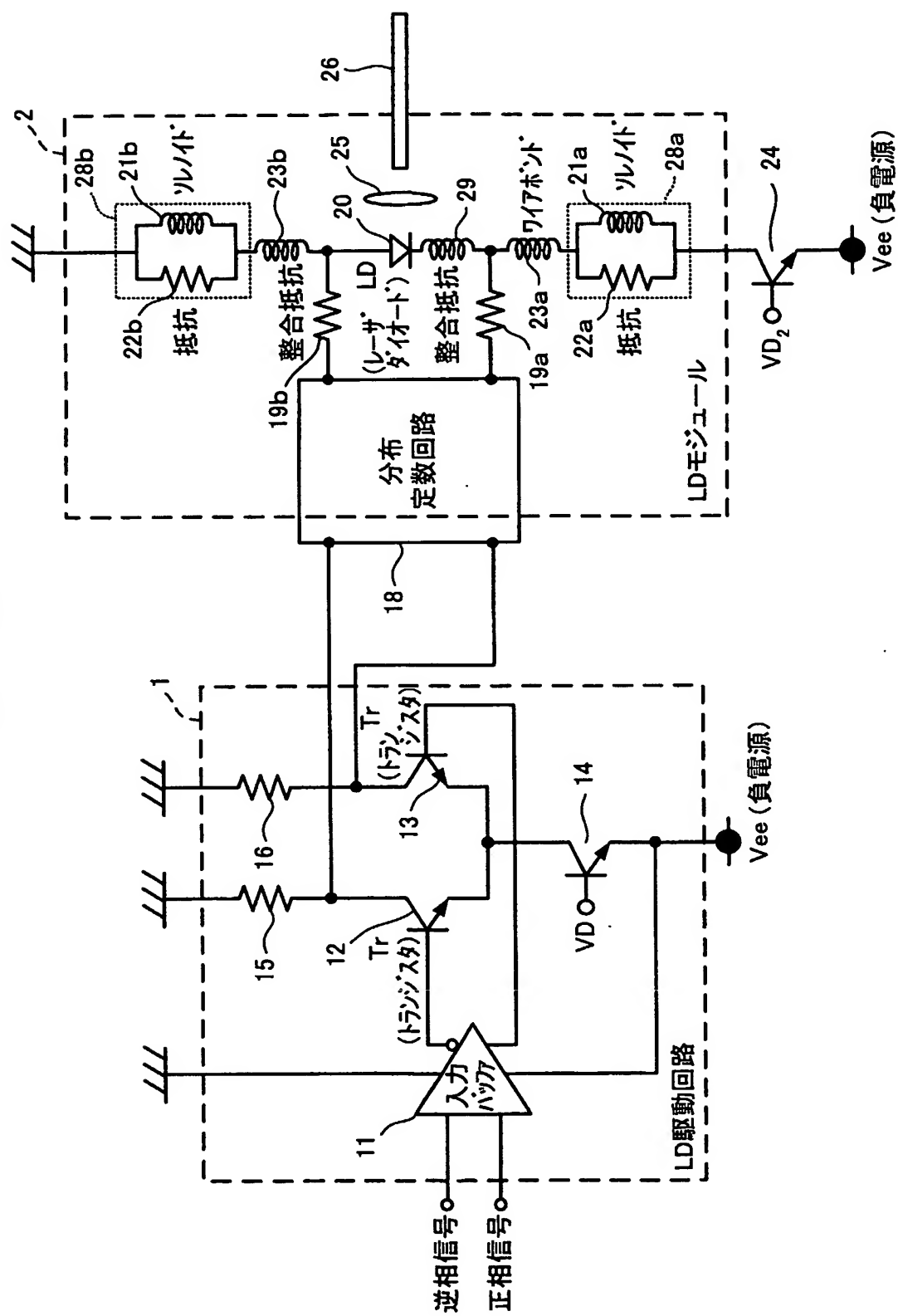
前記光半導体素子の他方の電極と前記第2の導体線路とに接続される第2のインダクタンス素子と、

25 を備え、

前記光半導体素子がプッシュ・プル動作により駆動される光半導体装置。

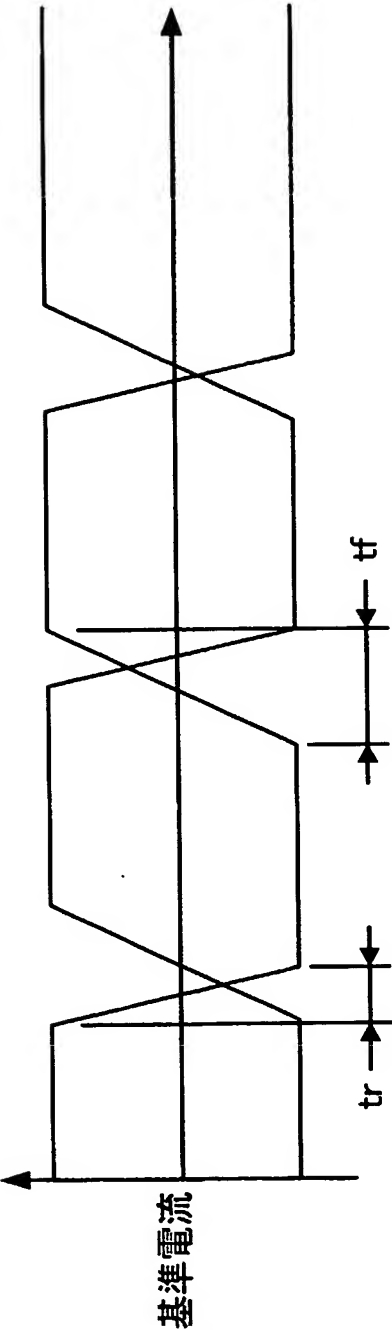
18. 少なくとも2つのバイアス回路のインピーダンスを非対称にしたことを特徴とする請求の範囲第17項に記載の光半導体装置

圖  
一  
紙

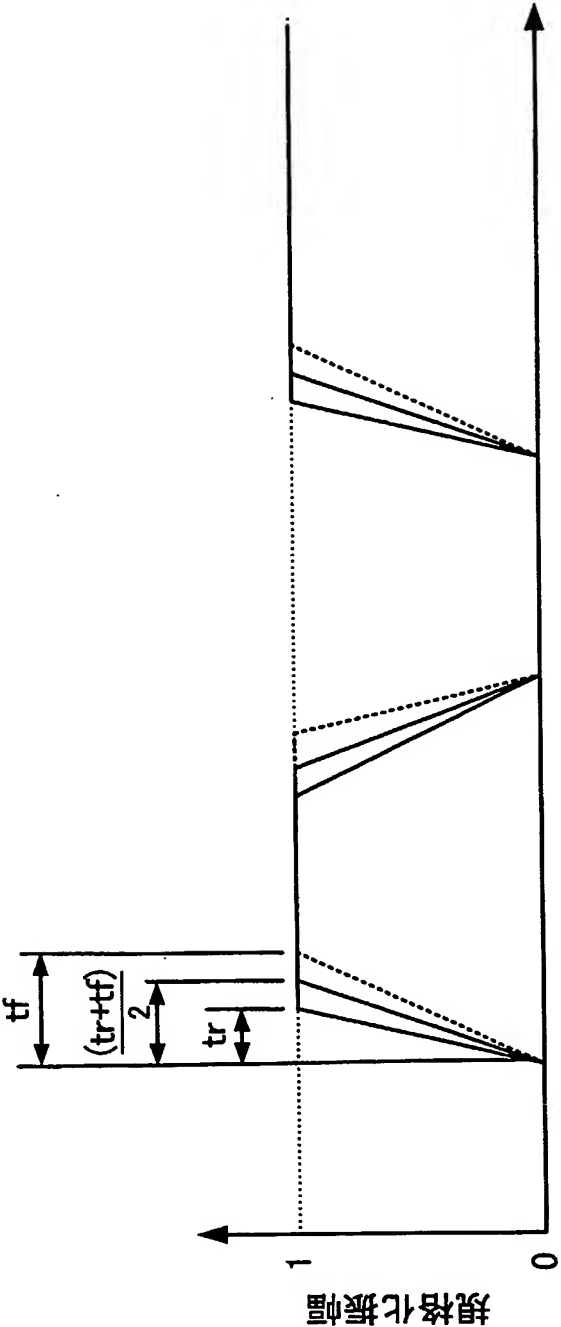


第2図

(a)

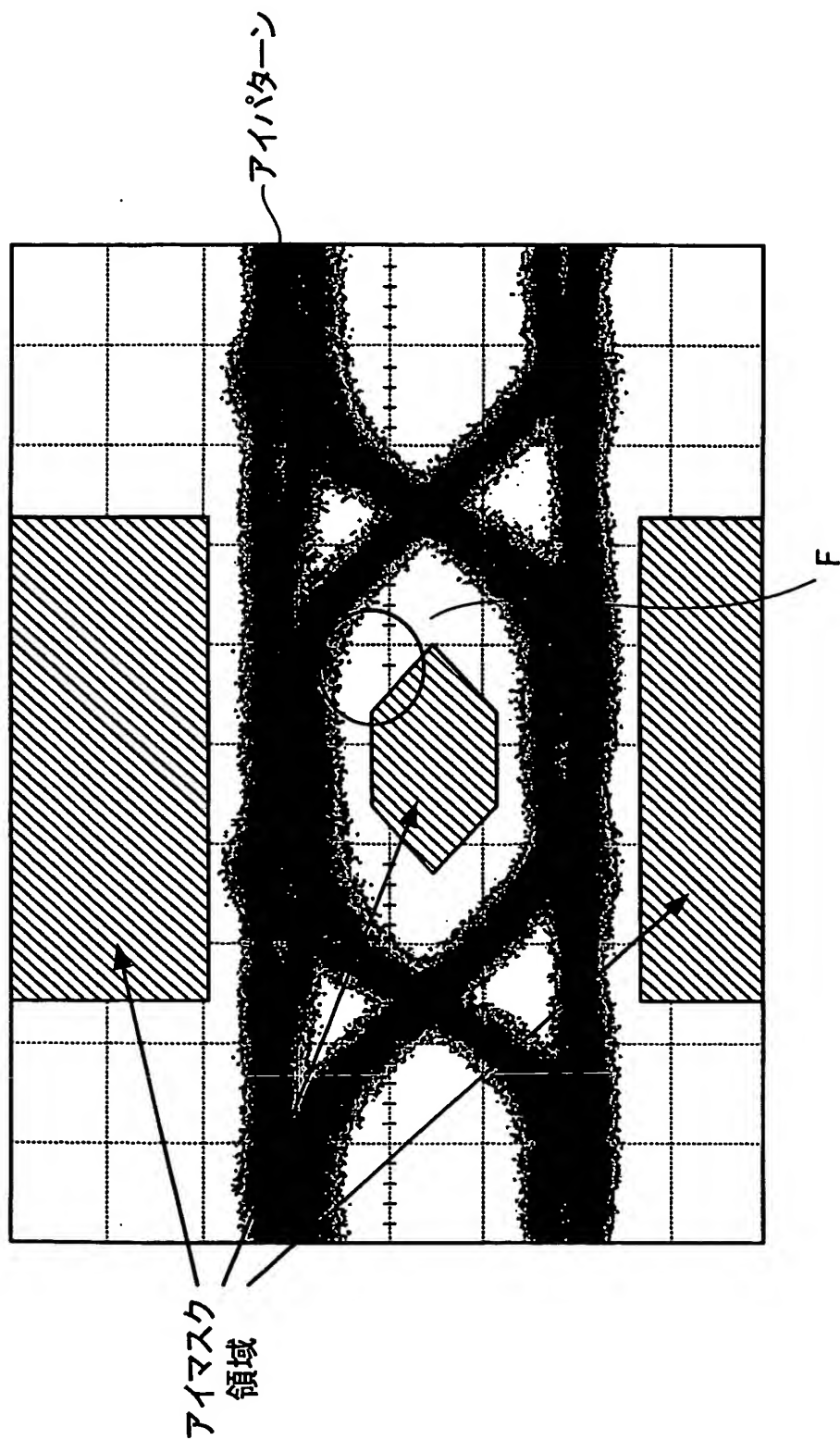


(b)





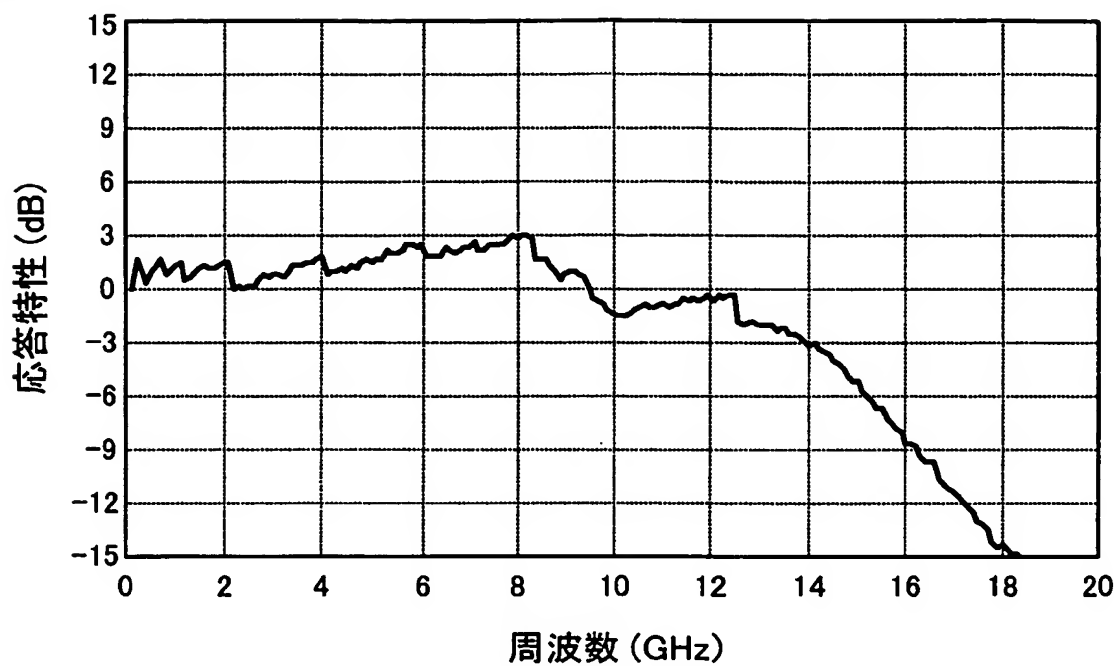
第3図



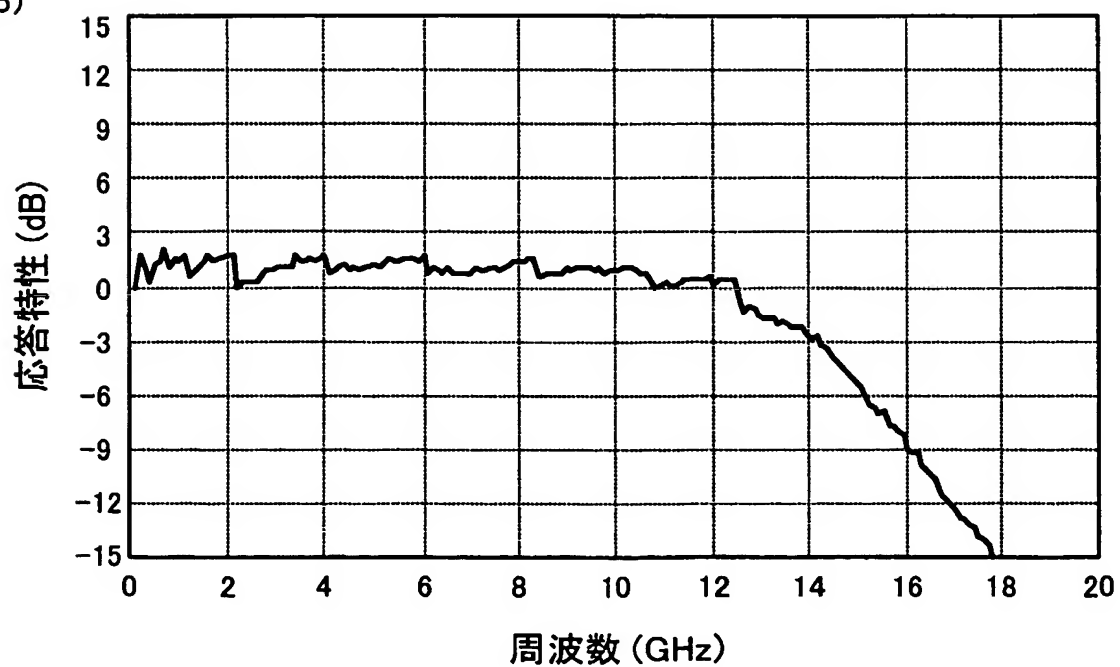
4/21

## 第 4 図

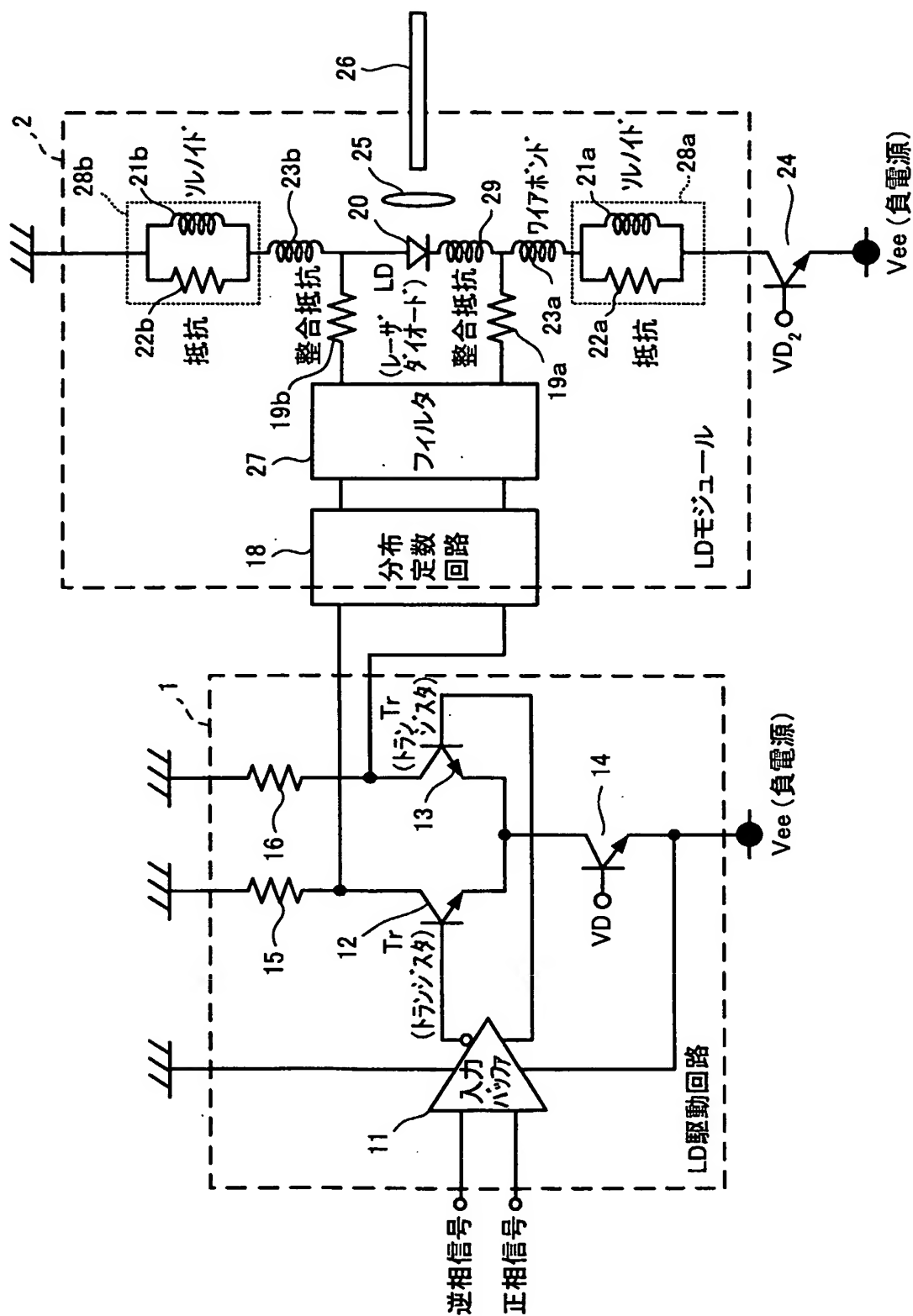
(a)



(b)

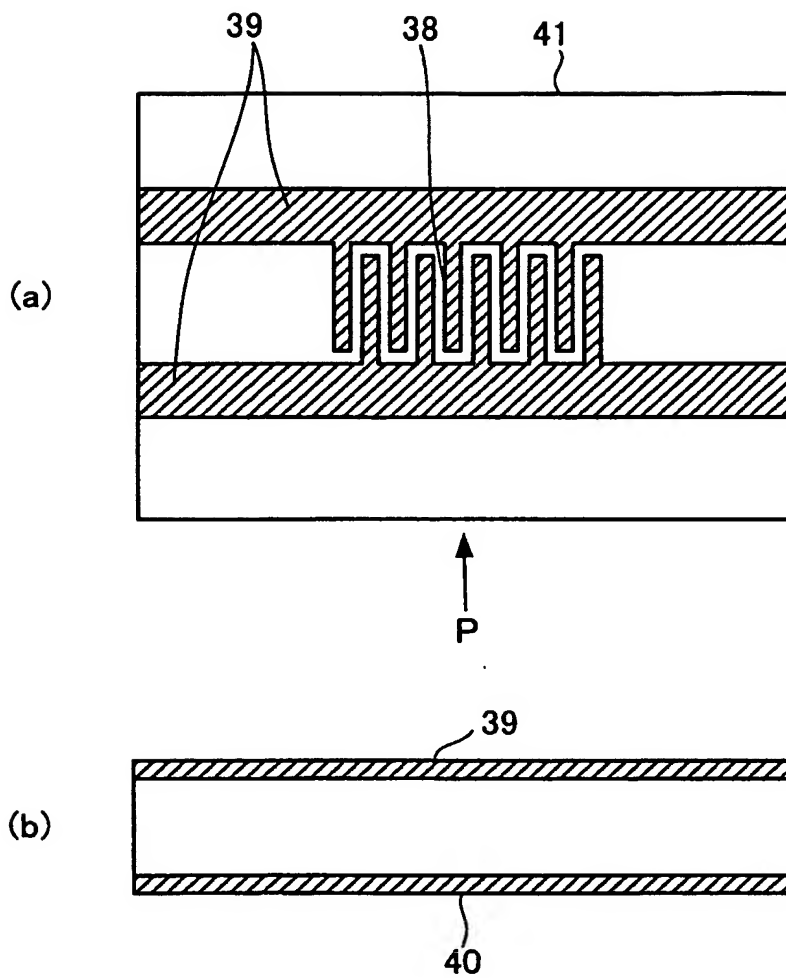


第5図



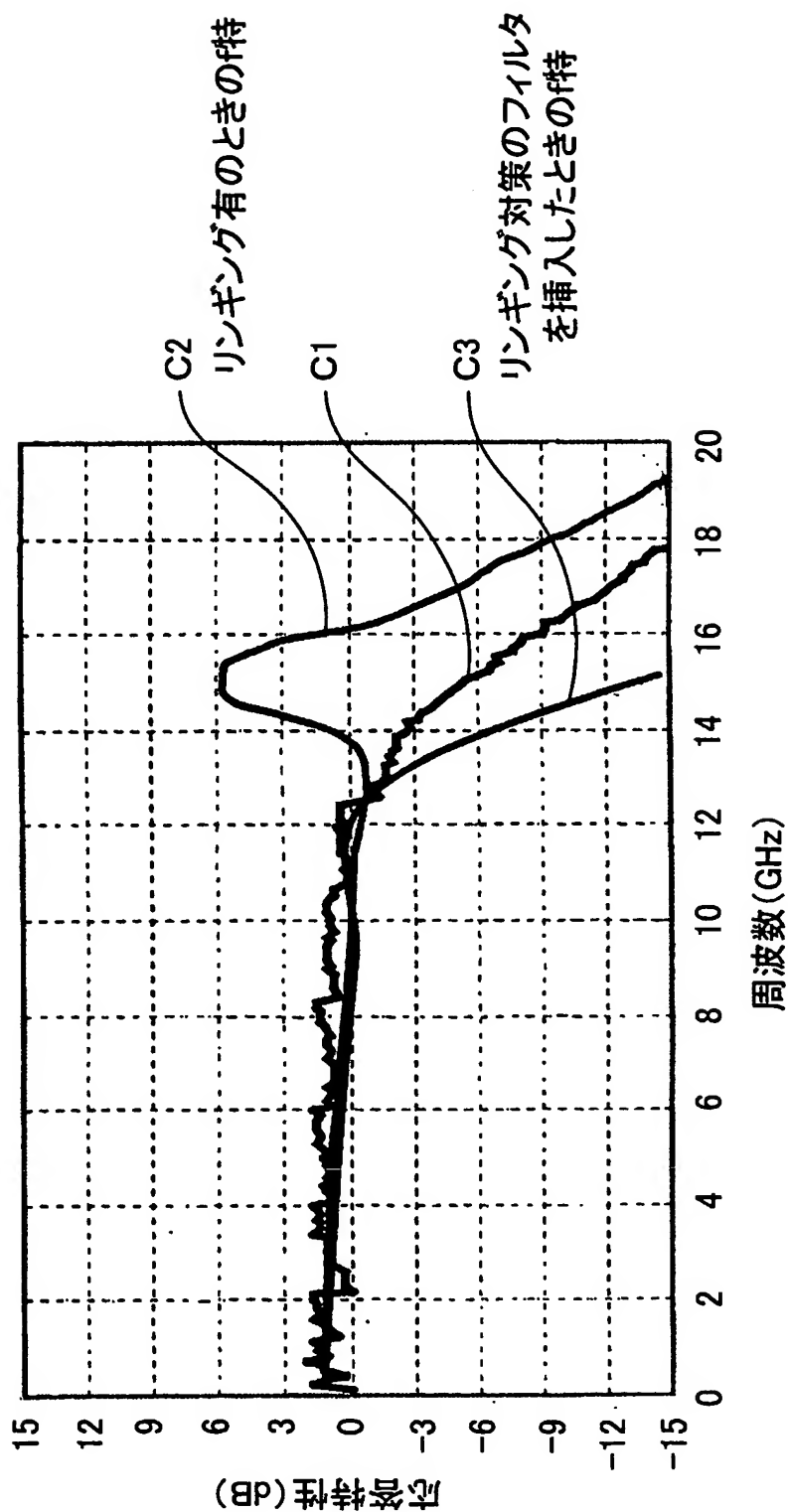
6/21

## 第 6 図

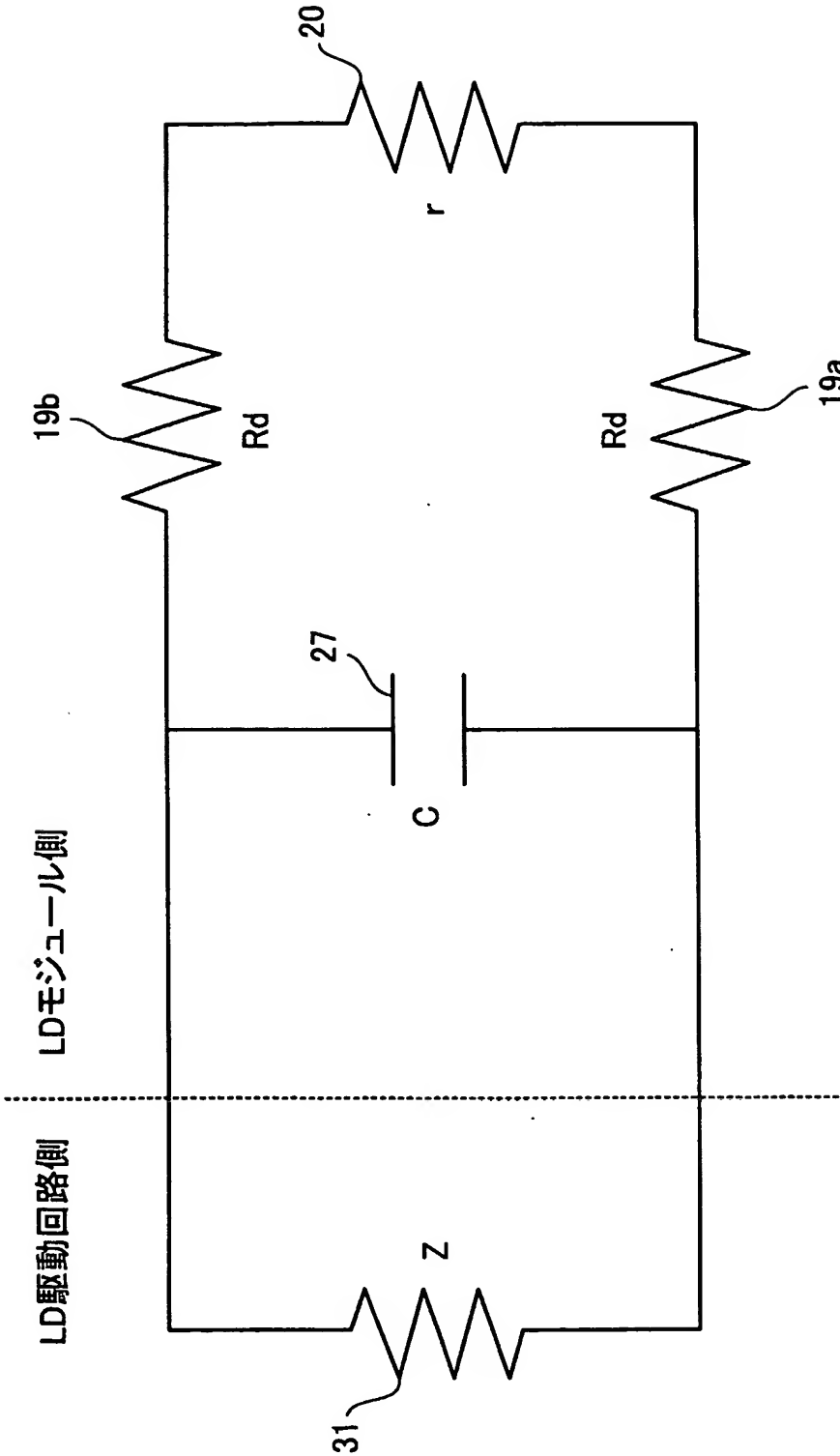


7/21

第7図

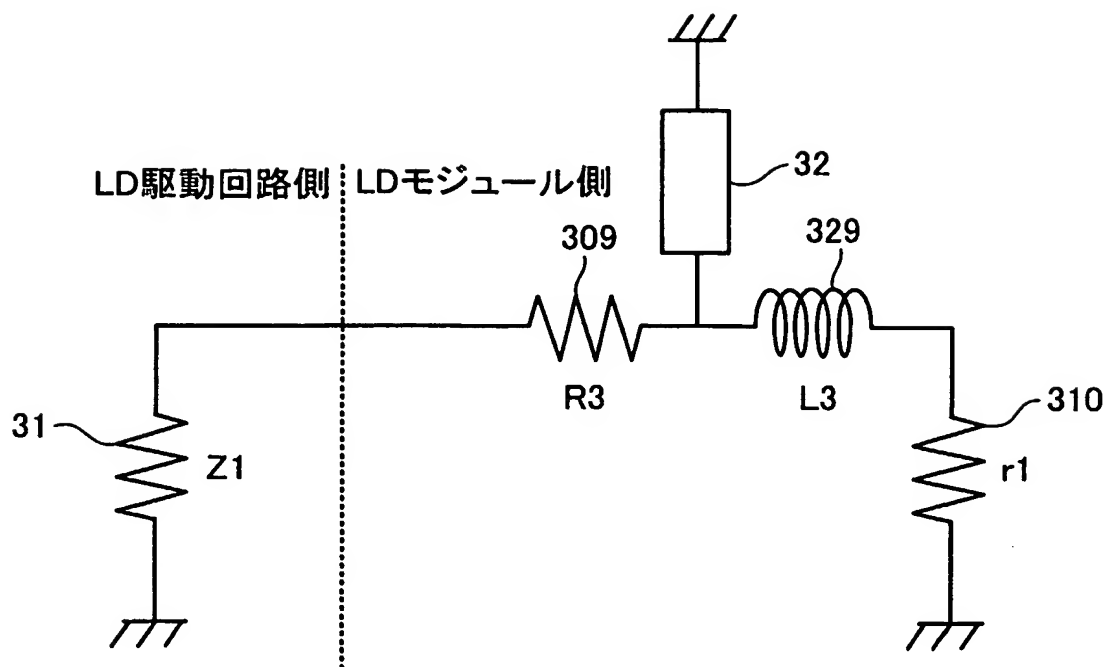


第8図

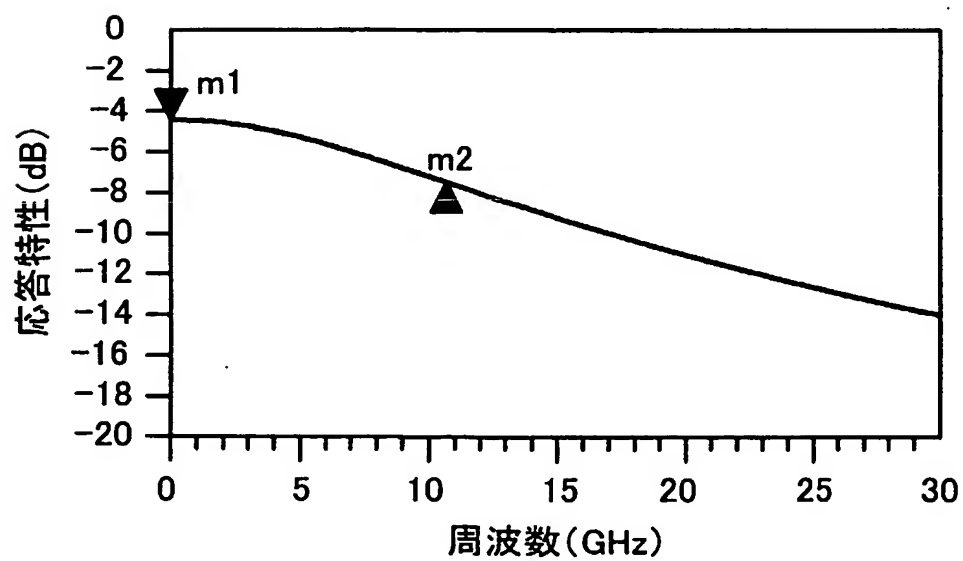


## 第9図

(a)

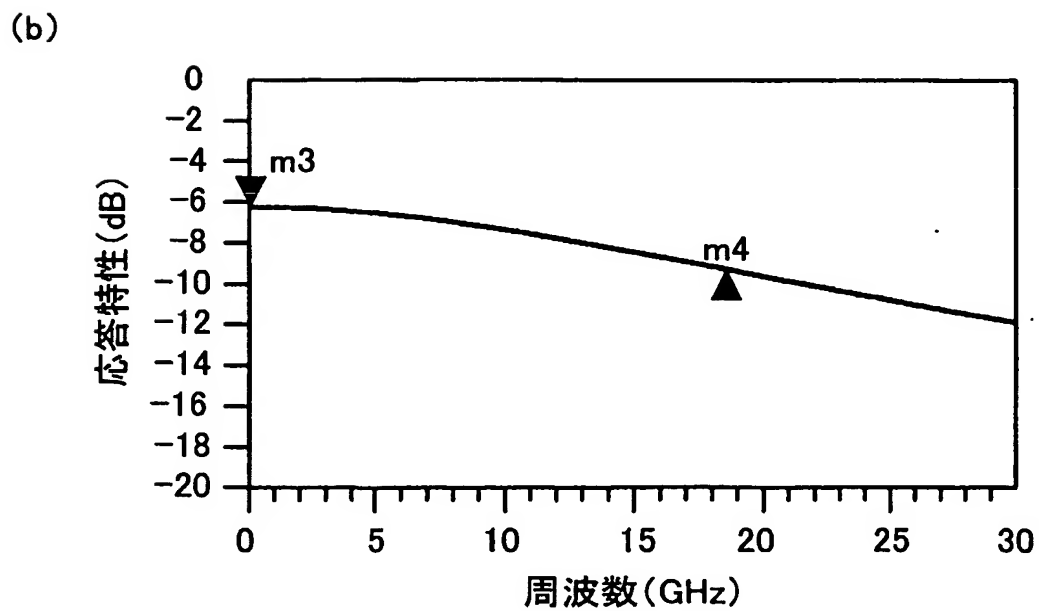
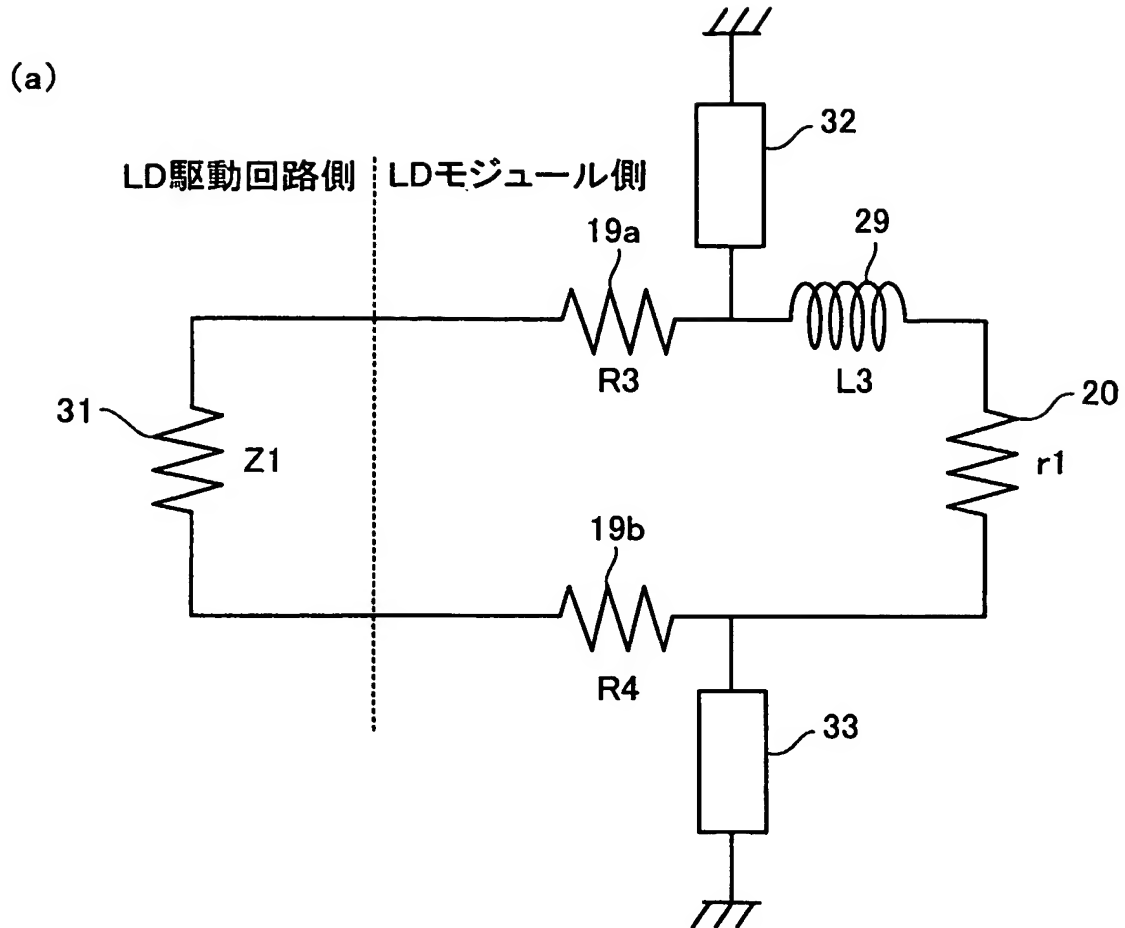


(b)



10/21

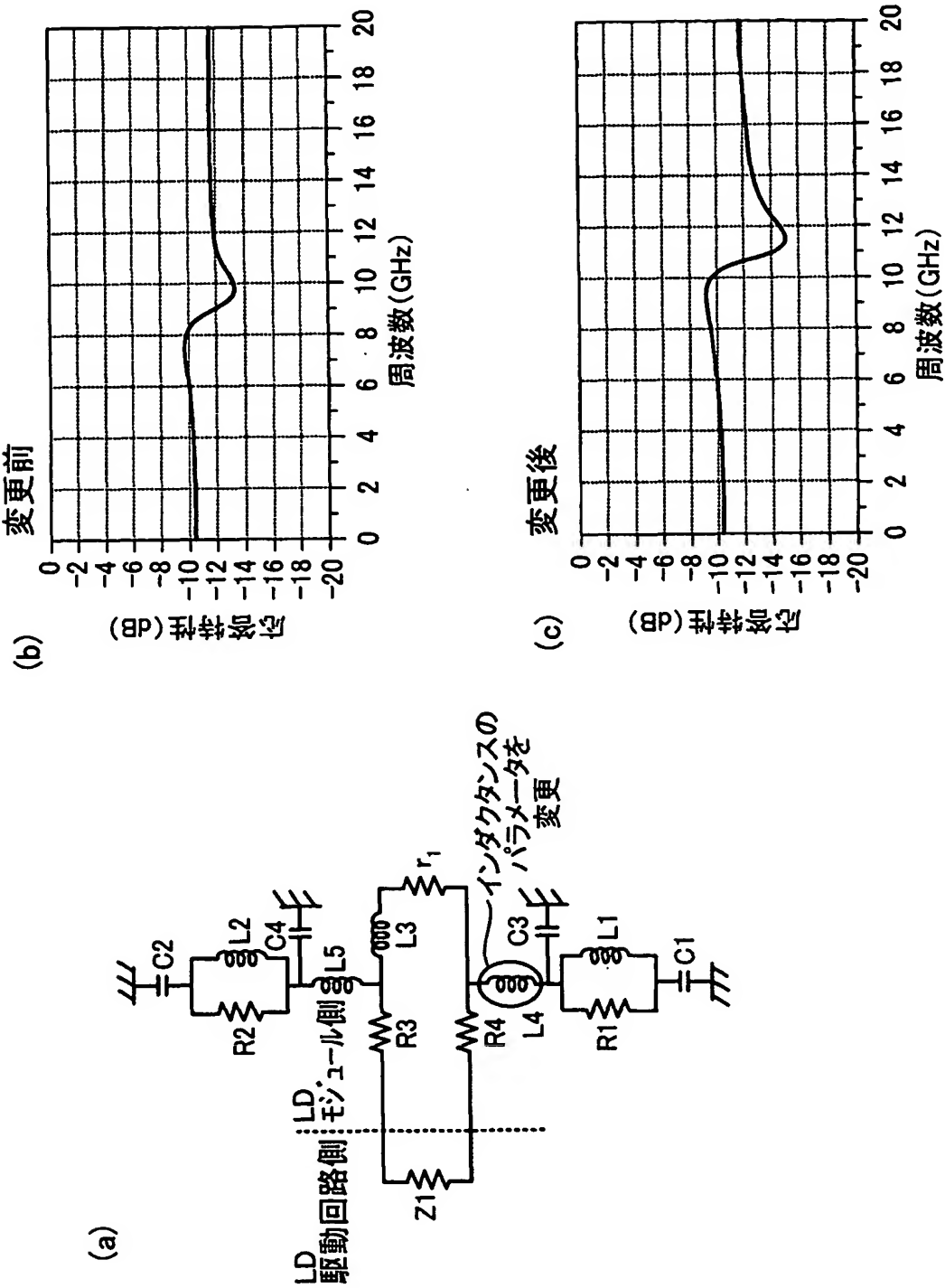
## 第10図



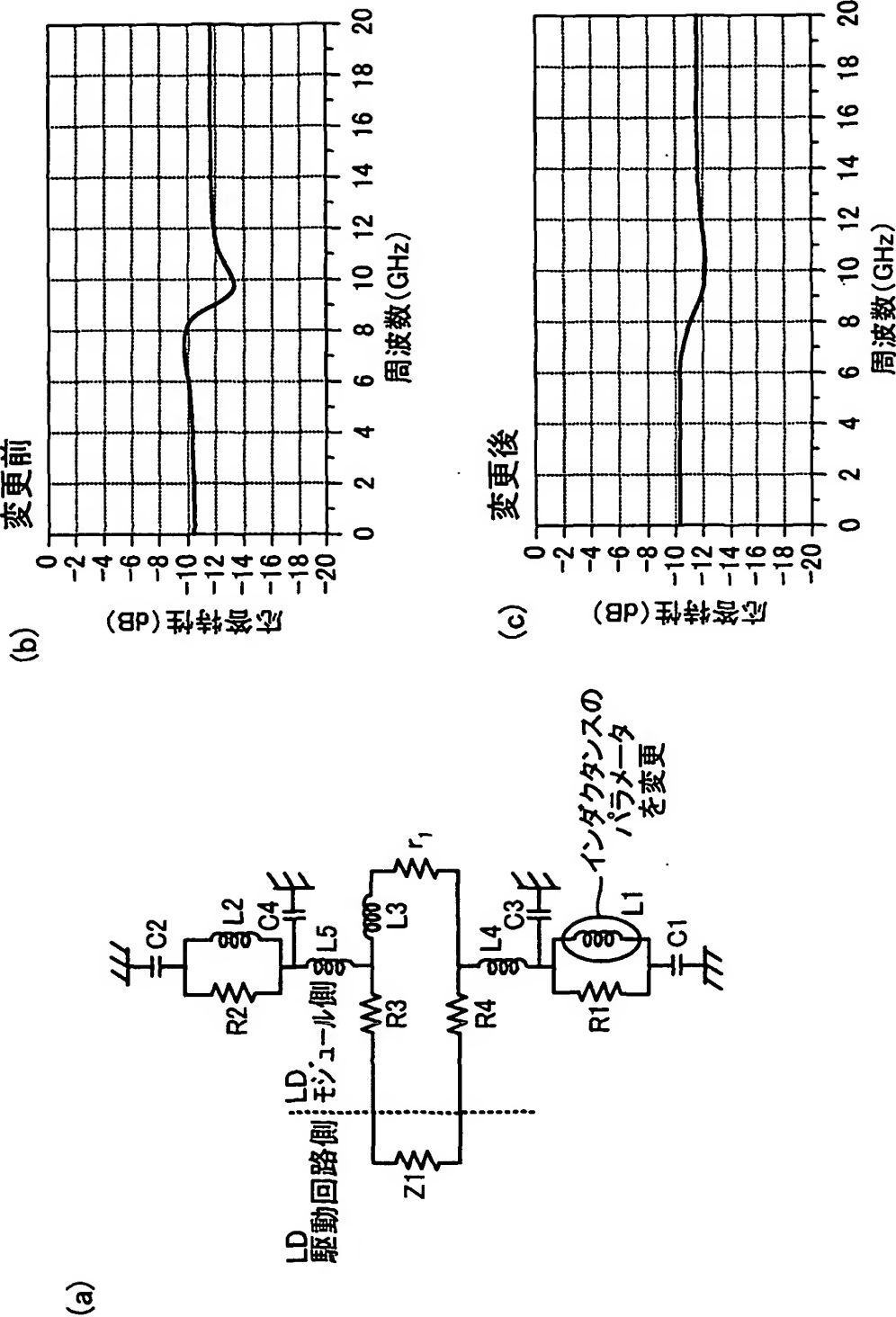




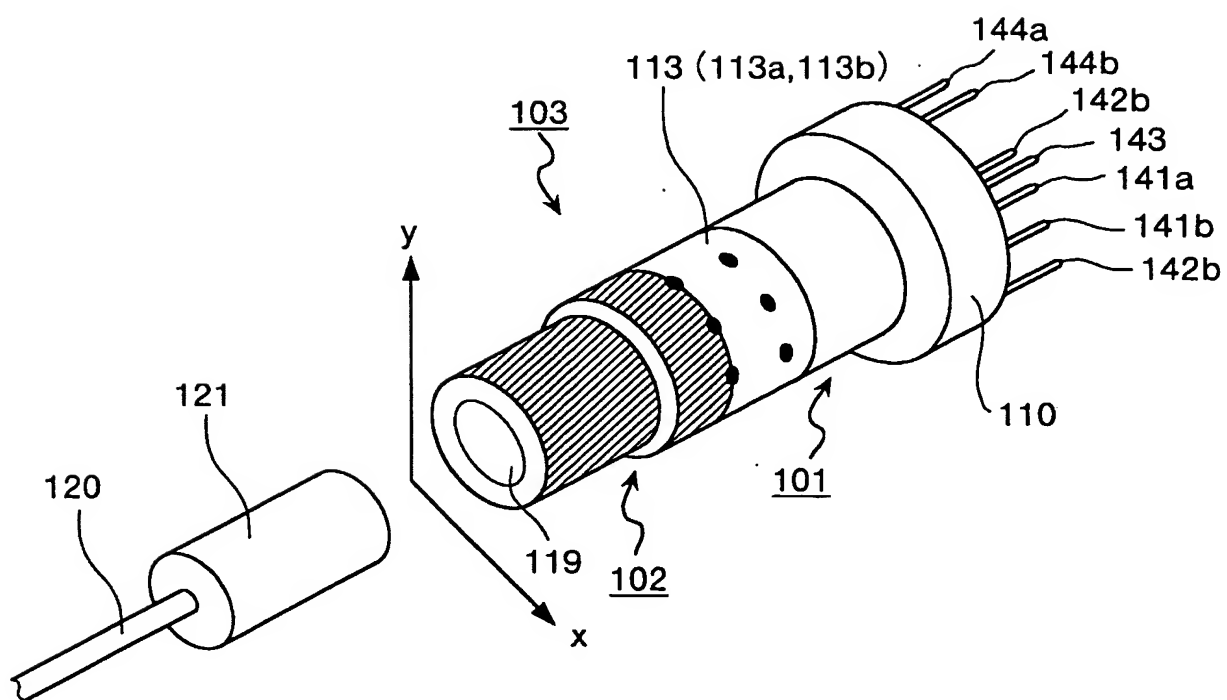
第12図



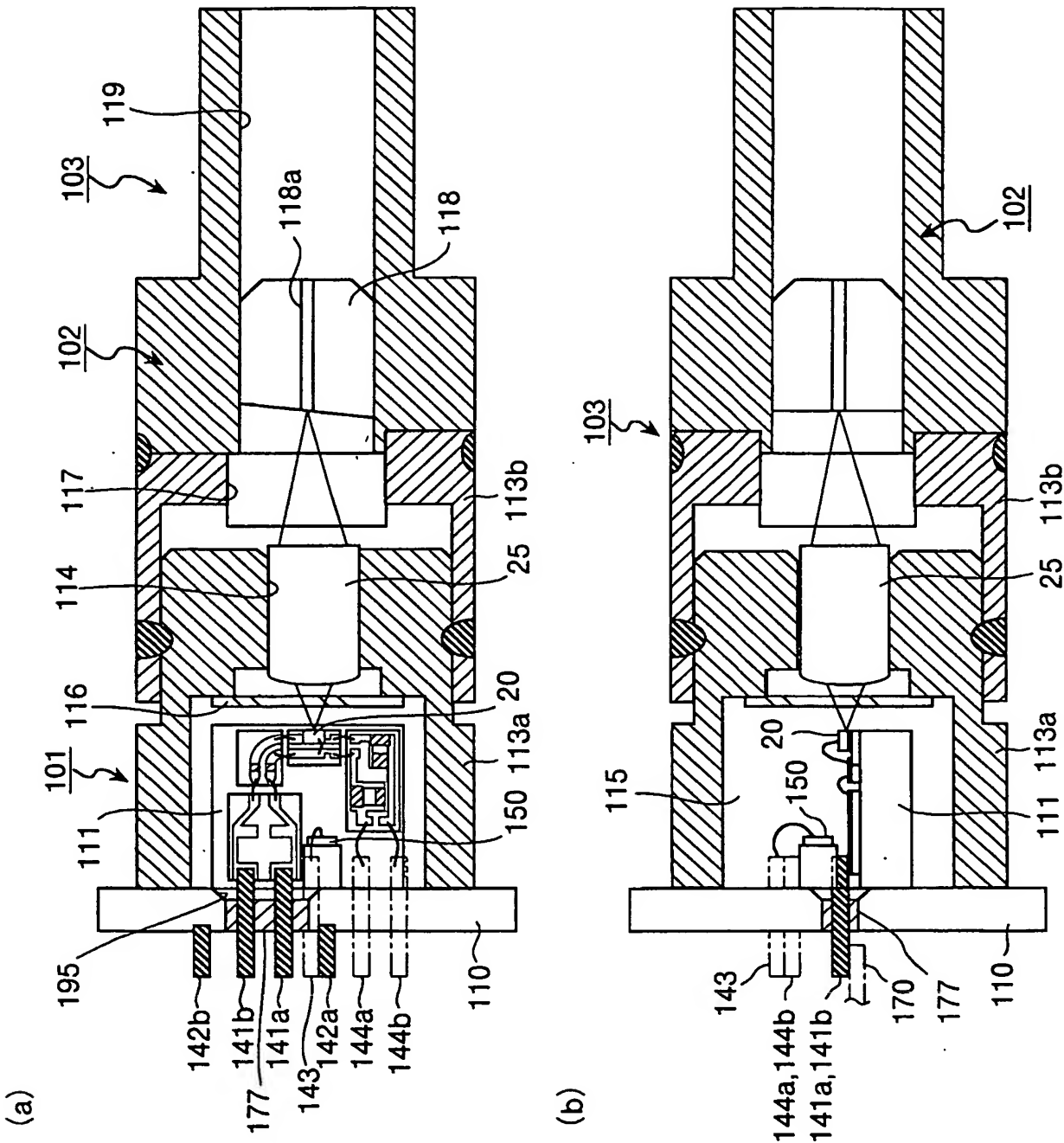
第13図



## 第14図

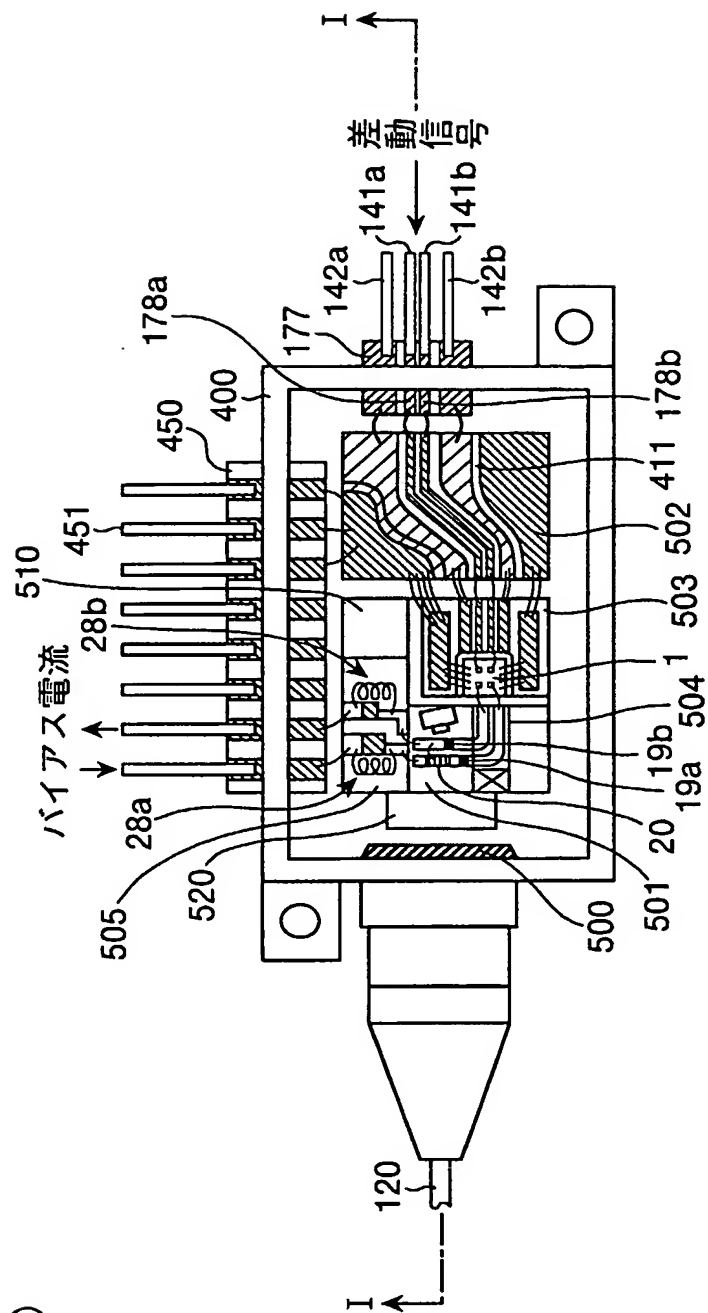


第15図

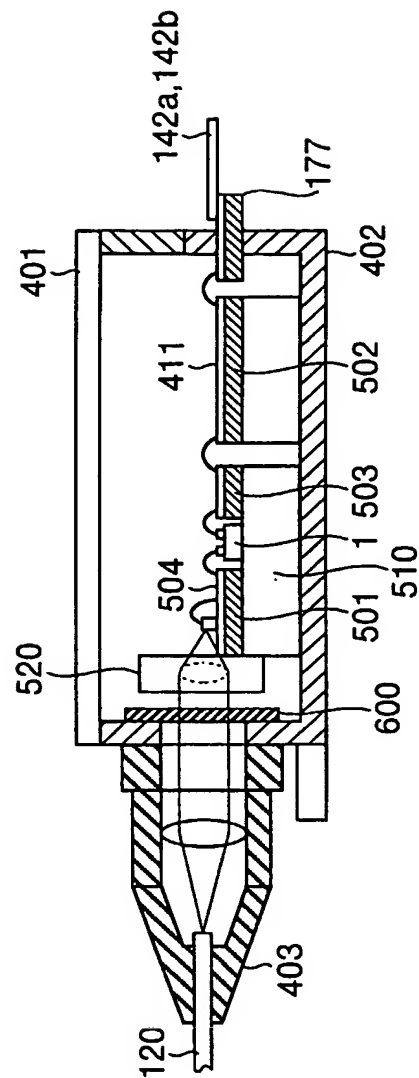




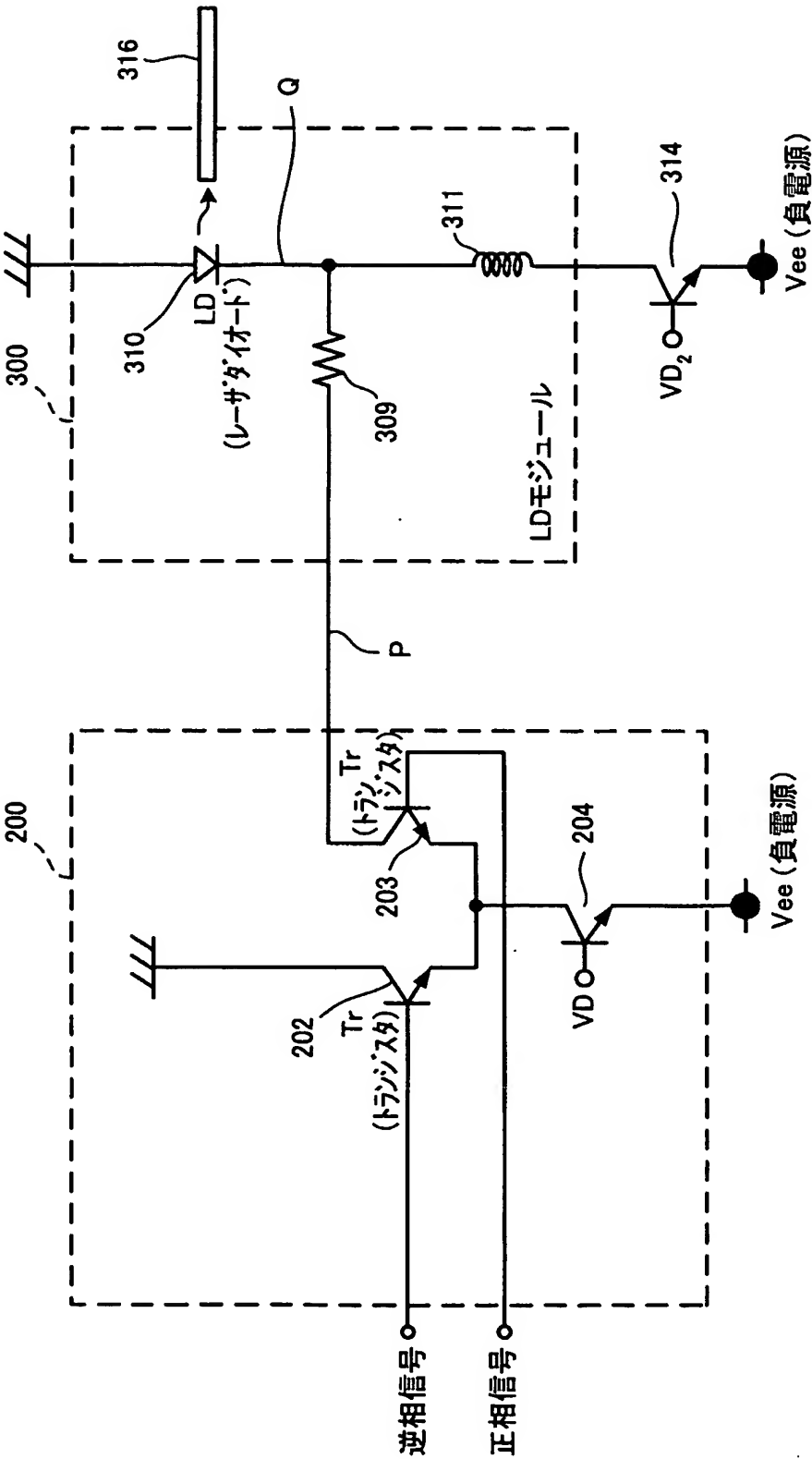
第17図 (a)



(b)

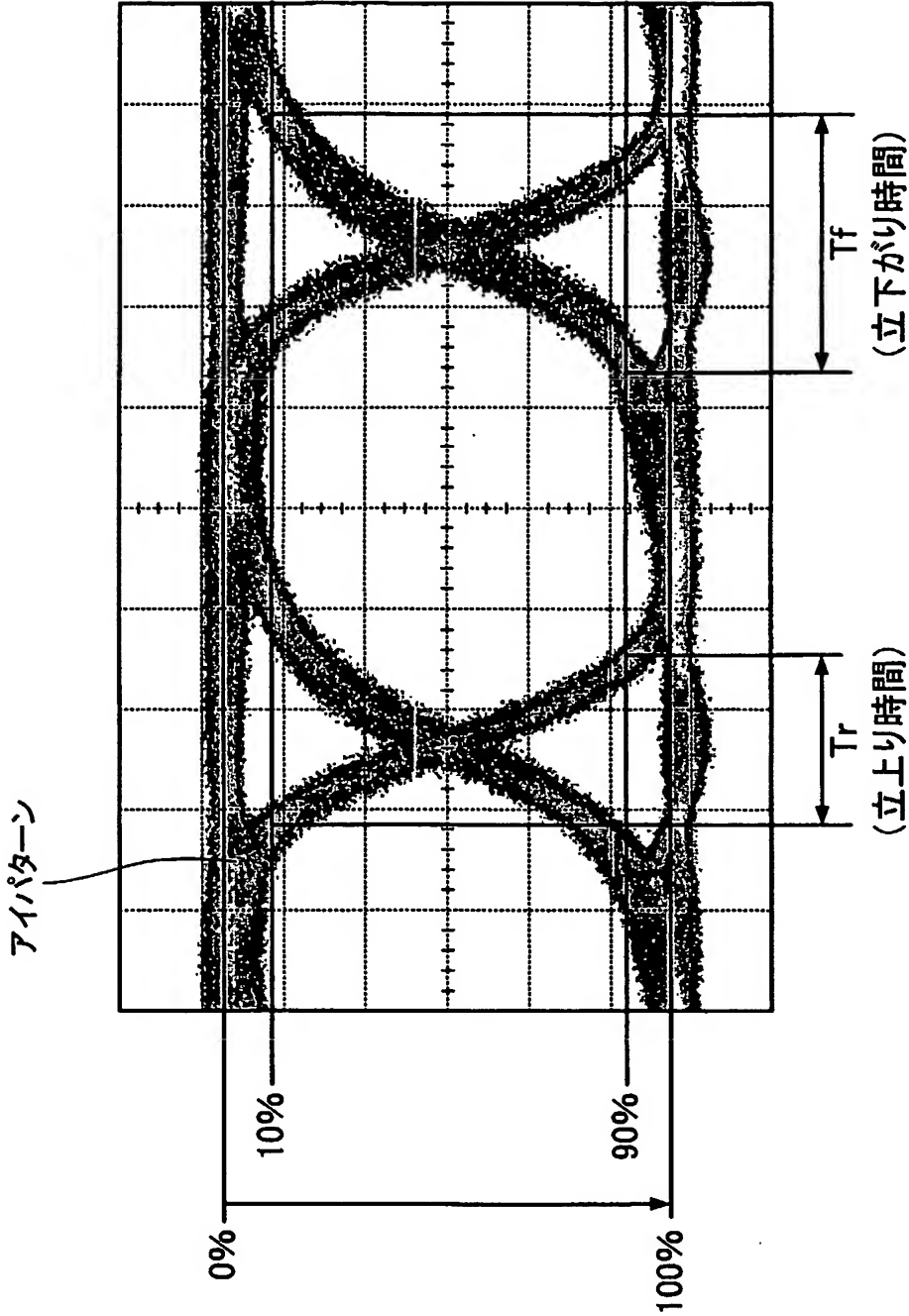


第18図

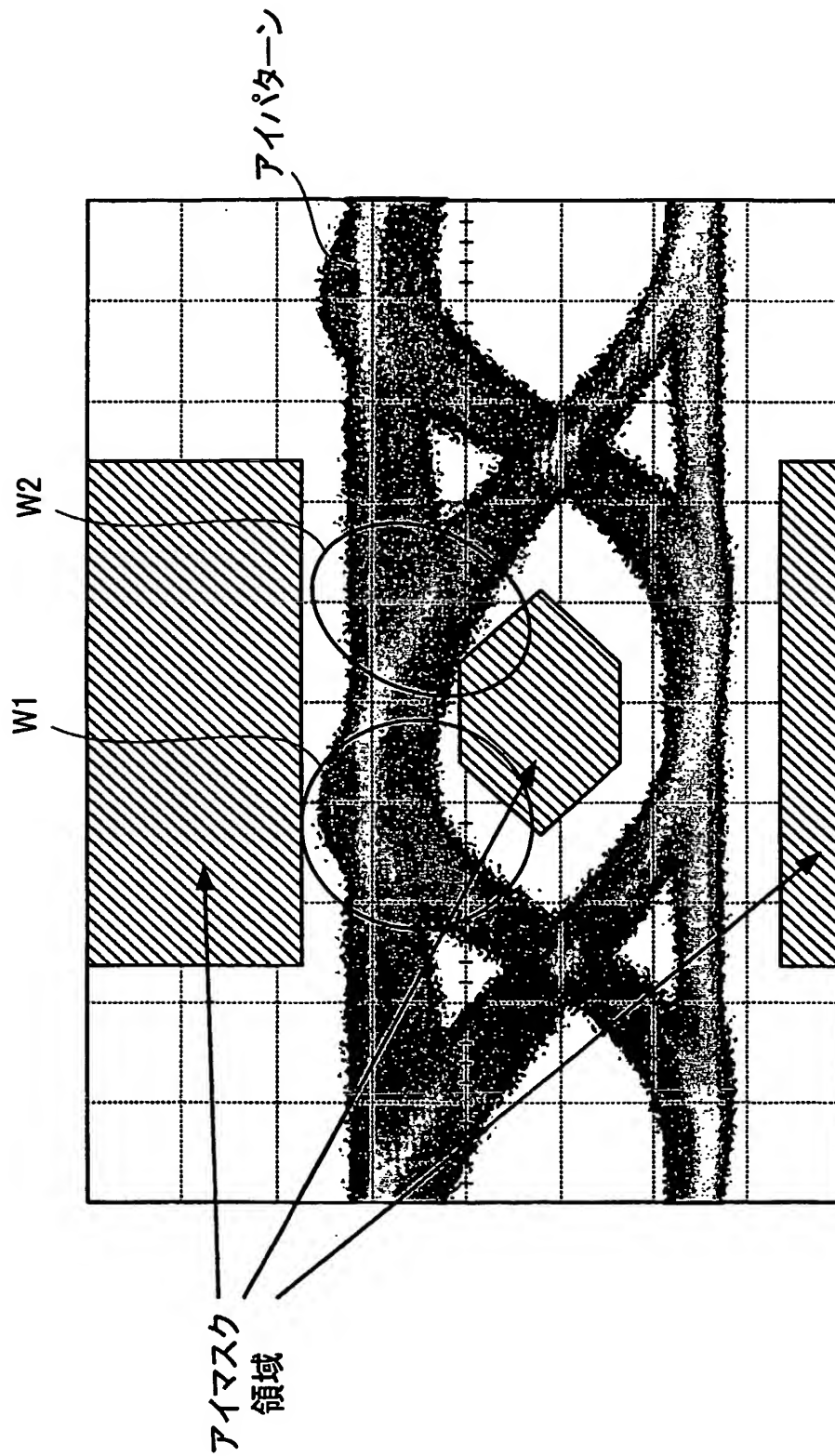




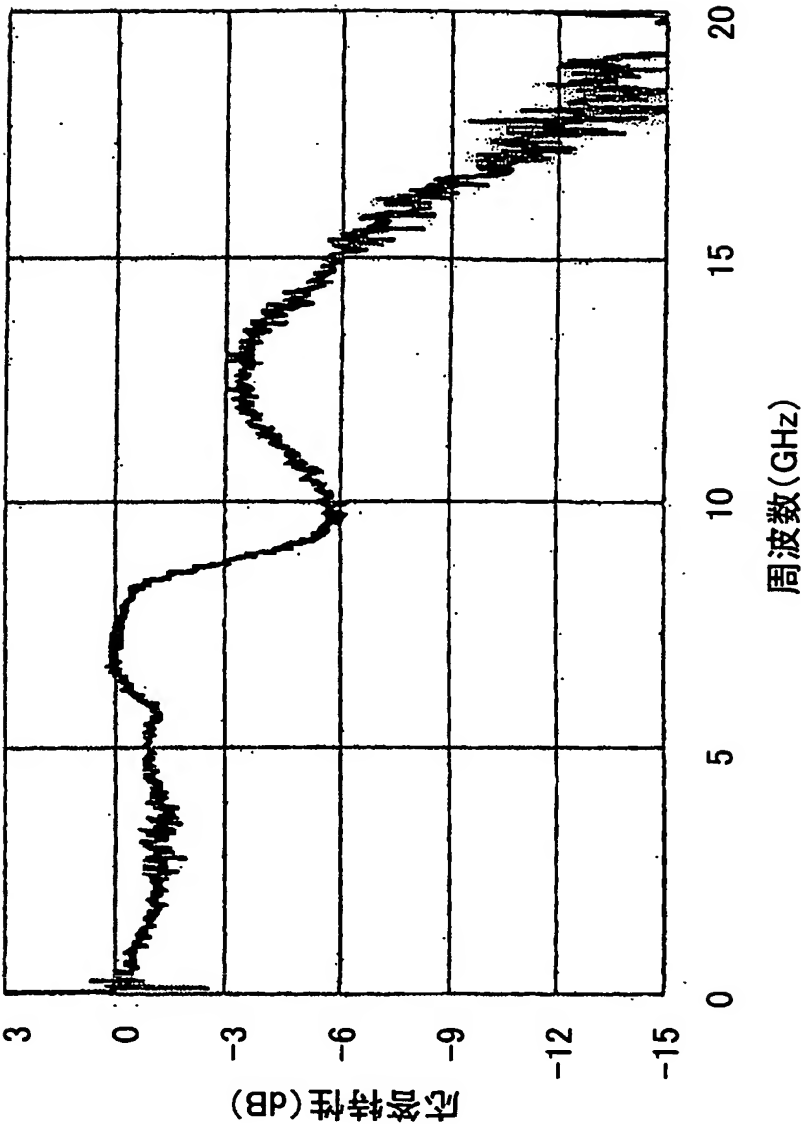
第19図



第20図



第21図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08859

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01S5/042, H04B10/04

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01S5/042, H04B10/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5371755 A (Hitachi, Ltd., Hitachi Communication Systems, Inc.), 06 December, 1994 (06.12.94), Full text; all drawings & JP 5-327617 A	1-18
A	US 5646763 A (Fujitsu Ltd.), 08 July, 1997 (08.07.97), Full text; all drawings & JP 8-172401 A	1-18
A	US 5771220 A (Sony Corp.), 02 May, 1997 (02.05.97), Full text; all drawings & JP 9-115166 A	1-18

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
03 October, 2003 (03.10.03)Date of mailing of the international search report  
21 October, 2003 (21.10.03)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/08859

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-283825 A (Kokusai Electric Co., Ltd.), 31 October, 1997 (31.10.97), Full text; all drawings	1-18
A	JP 11-233876 A (Sumitomo Electric Industries, Ltd.), 27 August, 1999 (27.08.99), Full text; all drawings	1-18

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01S5/042, H04B10/04

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01S5/042, H04B10/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公案 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 5371755 A (株式会社日立製作所, 日立通信システム株式会社) 1994. 12. 06, 全文, 全図 & JP 5-327617 A	1-18
A	US 5646763 A (富士通株式会社) 1997. 07. 08, 全文, 全図 & JP 8-172401 A	1-18
A	US 5771220 A (ソニー株式会社) 1997. 05. 02, 全文, 全図 & JP 9-115166 A	1-18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

03. 10. 03

国際調査報告の発送日

21. 10. 03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

土屋 知久

(印)

2K

8826

電話番号 03-3581-1101 内線 3253

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 9 - 2 8 3 8 2 5 A (国際電気株式会社) 1 9 9 7 . 1 0 . 3 1 , 全文, 全図	1 - 1 8
A	J P 1 1 - 2 3 3 8 7 6 A (住友電気株式会社) 1 9 9 9 . 0 8 . 2 7 , 全文, 全図	1 - 1 8